

## 赛普拉斯 65 nm 异步 PowerSnooze™ SRAM 的省电功能

作者：Nilesh Badodekar

相关项目：无

相关器件系列：CY7S10xxG/CY7S10xxGE

本应用笔记说明了赛普拉斯 65 nm 异步快速 SRAM 器件（CY7S10xxG 系列）的 PowerSnooze™特性。PowerSnooze 特性允许 SRAM 在芯片被长期禁用时进入低功耗模式。通过用户控制引脚（DS）可以在高速模式和低功耗模式间进行无缝转换。本应用笔记还描述了模式转换中重要的时序参数以及应用系统中使用 PowerSnooze 特性的 SRAM 接口配置示例。

### 简介

随着移动技术和便携式电池供电设备的使用，功耗已成为系统设计中关键因素之一。系统设计人员要面对的困境：为系统的微控制器/ASIC、外设和存储器设备选择更快的运行速度还是选择更低的功耗。

Texas Instruments 和 NXP 半导体的微控制器具有特殊的低功耗模式，如深度掉电和深度睡眠模式。运行在这些控制器上的应用程序可以通过这些特性来省电。控制器在正常工作模式下可以全速运行，一旦进入低功耗模式则可以节省功耗。在低功耗模式下，还希望外设和存储器设备能够节省功耗，而对于连接到这种系统的存储器设备，这个要求确实是一个挑战。通常，异步 SRAM 用作为片外缓存存储器、暂存器存储器，或使用在其它需要更快访问时间（10 ns 的数量级时间）的场合中。

快速 SRAM 的访问时间从 10 ns 到 20 ns，但是在活动和待机模式下需要消耗大量电源。但这些低功耗 SRAM 的访问时间却很长，约从 45 ns 到 70 ns。以前，系统设计者在低功耗应用中使用的是低功耗 SRAM；而现在，他们需要兼顾两者：存储器接口的快速访问时间以及系统闲置时的低功耗。

具有 PowerSnooze™特性的赛普拉斯 65 nm 异步 SRAM 提供了兼顾二者的方案，使高速且低功耗的器件得以实现。

### 真正的快速、低功耗异步 SRAM

赛普拉斯的 65 nm 异步 SRAM 具有 PowerSnooze 特性，它允许系统设计者在同一个芯片上实现快速访问时间和低功耗等优点。在赛普拉斯 SRAM 的订购代码中带有‘S’字符（例如，CY7S1061G30），该字符表示 16 Mb 异步快速 PowerSnooze SRAM。除了传统的异步 SRAM 接口引脚外，SRAM 还具有一个额外的输入引脚，该引脚又被称为 DS。该引脚由用户控制，所以用户可以在运行过程中更改 SRAM 的工作模式。

正常操作期间，微控制器/ASIC/FPGA<sup>1</sup>可以以全速度 100 MHz 进行访问 SRAM 数据（访问时间为 10 ns）。但是，如果控制器进入低功耗模式，它可以控制 DS 引脚以将 SRAM 进入深度睡眠模式。在深度睡眠模式下，这些 SRAM 在 85 °C 温度下会消耗大小为 22 μA 的电流（对于 16 Mb SRAM），使 16 Mb SRAM 成为真正的高速度、低功耗器件。图 1 显示的是 PowerSnooze SRAM 的简单结构。

<sup>1</sup> 在本文档中可以互换使用“控制器”、“ASIC”、“微控制器”和“FPGA”等术语。



要想退出深度睡眠模式，必须取消置位 **DS** 引脚（将其置为逻辑高电平<sup>2</sup>），与此同时 **SRAM** 仍处于禁用状态。**SRAM** 需要经过  $t_{DSCE}$  时间才会返回待机模式。经过  $t_{DSCE}$  时间，可以使能 **SRAM**（**CE** 为逻辑低电平<sup>2</sup>），使之进入活动模式。

请注意，如果不满足这些时序参数的要求，则不能保证成功进入或退出深度睡眠模式。请参考表 1，深入了解时序参数的要求。

#### 针对 4 Mb **SRAM** 的深度睡眠模式

4 Mb PowerSnooze **SRAM** 只能从待机模式（**CE** 为逻辑高电平<sup>2</sup>）或活动模式进入深度睡眠模式。置位 **DS** 信号（置为逻辑低电平<sup>2</sup>）时，**SRAM** 将进入深度睡眠模式。如果在至少  $t_{DS}$  时间内 **DS** 被继续置位，那么 **SRAM** 将进入深度睡眠模式，并消耗深度睡眠电流  $I_{DS}$ 。请参考图 3，了解时序的要求。在深度睡眠模式期间，**DS** 必须保持置位状态。进入深度睡眠模式过程中（在  $t_{DS}$  时间内），**SRAM** 消耗待机电流  $I_{SB2}$ ；在深度睡眠模式下，它将消耗深度睡眠电流  $I_{DS}$ 。当器件进入深度睡眠模式时，如果进行写入操作期间置位了 **DS** 信号，那么 **SRAM** 不能保证成功完成操作。

要想退出深度睡眠模式，必须取消置位 **DS** 引脚（将其置为逻辑高电平）。如果在至少  $t_{PDS}$  时间内 **DS** 被置位，那么 **SRAM** 将被内部禁用  $t_{DSCD}$  时长。在这段时间（ $t_{DSCD}$ ）内，外部控制器可以外部访问 **CE** 并禁用它。该器件将继续被禁用，直到经过  $t_{DSCA}$  时间为止。取消置位 **DS**  $t_{DSCA}$  时间后，通过使能 **SRAM**（将 **CE** 置为逻辑低电平）可以对其进行访问，从而进入活动模式。如果  $t_{PDS}$  不符合系统要求，那么 **SRAM** 不能保证  $t_{DSCD}$  时长。在这段时间内（ $t_{PDS} < t_{PDS(min)}$  时），必须外部禁用 **SRAM** 持续  $t_{DSCA}$  时间，以免破坏 **SRAM** 数据。请参考表 2，深入了解这些时序参数的要求。

图 2. 针对 16 Mb **SRAM** 的深度睡眠模式 — 进入和退出顺序

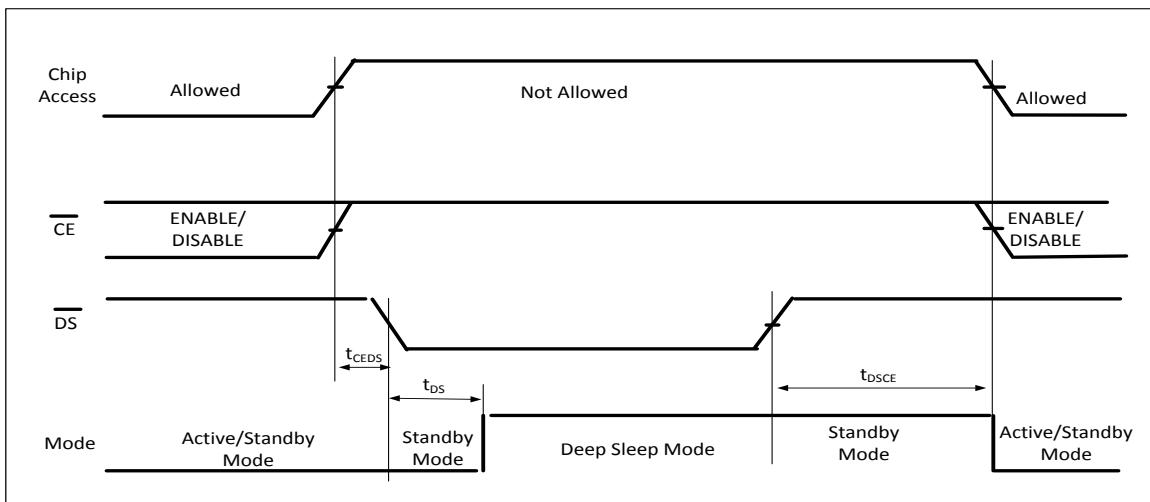


表 1. 16 Mb PowerSnooze **SRAM** 的重要时序参数

参数	说明	时序	
		最小值	最大值
$t_{CEDS}$	从取消置位 <b>CE</b> 到置位 <b>DS</b> 的时间	100 ns	—
$t_{DS}$	<b>DS</b> 从置位到进入深度睡眠模式的转换时间	—	1 ms

$t_{DSCE}$	从取消置位 $\overline{DS}$ 到置位 $\overline{CE}$ 的时间	1 ms	-
------------	---	------	---

图 3. 针对 4 Mb SRAM 的深度睡眠模式 — 进入和退出顺序

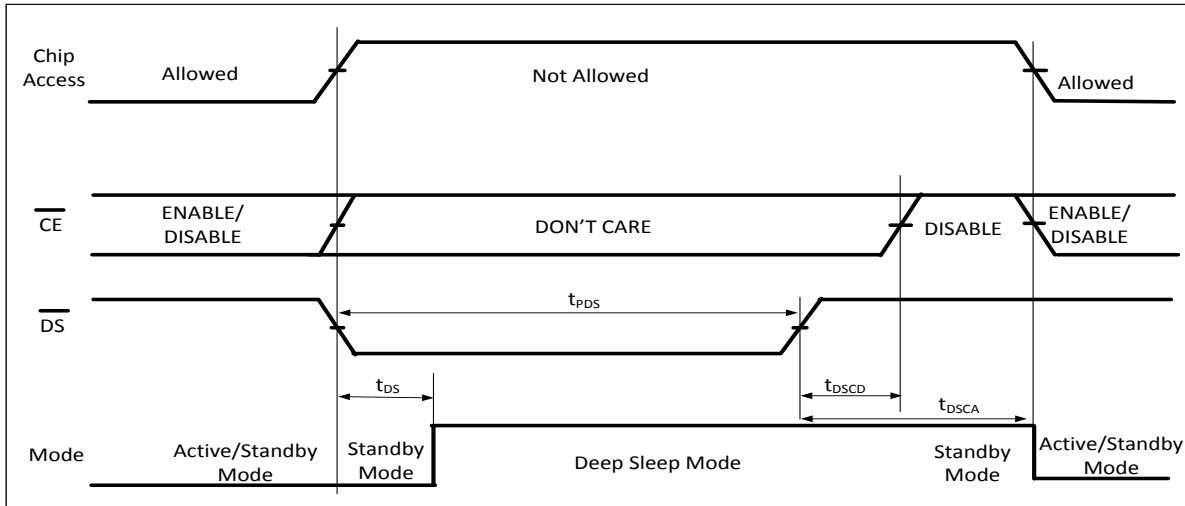


表 2. 4 Mb PowerSnooze SRAM 的重要时序参数

参数	说明	时序	
		最小值	最大值
$t_{PDS}$	$\overline{DS}$ 为低电平的最短时间，用于使器件成功退出深度睡眠模式	100 ns	-
$t_{DS}$	$\overline{DS}$ 从置位到进入深度睡眠模式的转换时间	-	1 ms
$t_{DSCE}$	从取消置位 $\overline{DS}$ 到禁用芯片的时间（如果 $t_{PDS} \geq t_{PDS(Min)}$ ）	-	100 $\mu$ s
	从取消置位 $\overline{DS}$ 到禁用芯片的时间（如果 $t_{PDS} < t_{PDS(Min)}$ ）	-	0 $\mu$ s
$t_{DSCEA}$	从取消置位 $\overline{DS}$ 到访问芯片（在活动/待机模式下）的时间（如果 $t_{PDS} \geq t_{PDS(Min)}$ ）	300 $\mu$ s	
	从取消置位 $\overline{DS}$ 到访问芯片（在活动/待机模式下）的时间（如果 $t_{PDS} < t_{PDS(Min)}$ ）		

当 SRAM 处于深度睡眠模式时，在整个时间内 SRAM 均被禁用，因此进入该模式前存储在 SRAM 中的数据将被保持。有关深度睡眠模式的条件，请参考 SRAM 数据手册。表 1 和表 2 总结了需要遵循的 PowerSnooze SRAM 关键时序参数。

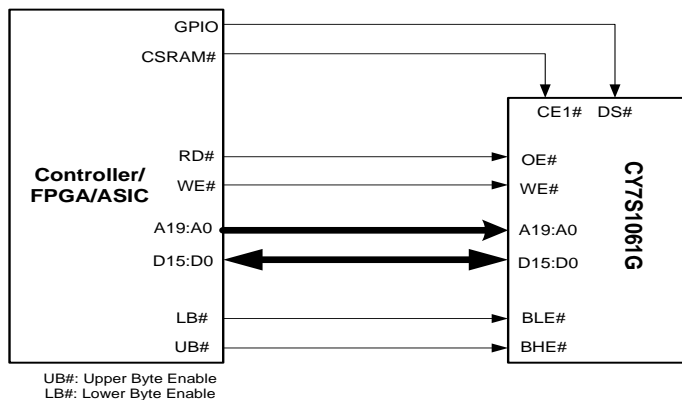
## 在系统中连接至 PowerSnooze SRAM

高端微控制器（如 TI 中的 AM18XX 系列或 NXP 中的 LPC 177X/LPC178X 系列）具有特殊的深度睡眠模式，通过将控制器进入该模式可以降低功耗。TI 的 AM18XX 系列控制器具有一个输入信号（又称为“DEEPSLEEP”），通过使用该信号可以使控制器进入低功耗模式。该信号可以与 PowerSnooze SRAM 的  $\overline{DS}$  引脚相连。通过软件配置，LPC177x/178 系列控制器能够进入低功耗模式，该软件配置将按顺序禁用同该控制器相连的外设和存储器器件。除了普通的 SRAM 接口信号外，可以使用该序列生成额外信号，用于控制 PowerSnooze SRAM 的  $\overline{DS}$  引脚。

如果系统设计人员想要在现有的应用中使用 PowerSnooze SRAM，或者想连接至没有支持特殊低功耗模式的 ASIC 或微控制器，那么可以通过普通的 GPIO 控制  $\overline{DS}$  引脚。图 4 显示的是一个连接实例，其中 GPIO 与 PowerSnooze SRAM 的  $\overline{DS}$  引脚相连。在活动模式和待机模式下，应始终将  $\overline{DS}$  引脚置于逻辑高状态。

为了进入深度睡眠模式，微控制器必须遵循上一节介绍的 **CE** 和 **DS** 的时序。因此，对软件和硬件稍作修改时，系统设计人员便可以使用现有应用中的 PowerSnooze SRAM。

图 4. 连接至 PowerSnooze SRAM



## 总结

赛普拉斯异步 PowerSnooze SRAM 是最佳选择— 快速低功耗 SRAM。PowerSnooze SRAM 提供了多个特性选项和多种封装。表 3 总结了 16 Mb 和 4 Mb PowerSnooze SRAM 的产品系列。请参考[数据手册](#)选择正确的配置和订购信息。

表 3. PowerSnooze SRAM 产品系列

参数	PowerSnooze SRAM (高速度、低功耗)	
	16 Mb	4 Mb
温度范围	-40°C 到+85°C	-40°C 到+85°C
技术	65 nm	65 nm
工作电流 I <sub>CC</sub> (最大值)	110 mA	45 mA
待机电流 I <sub>SB2</sub> (最大值)	30 mA	8 mA
深度睡眠电流 I <sub>DS</sub> (最大值)	22 µA	15 µA
封装	48 引脚 TSOP I、54 引脚 TSOP II、48 球型焊盘 VFBGA	44 引脚 TSOP I、44 引脚 SOJ、36 引脚 SOJ、48 球型焊盘 VFBGA
速度	10 ns	10 ns
铜引线框架	有	有
无铅和含铅	RoHS	RoHS
可用性	量产	样本

## 关于作者

姓名: Nilesh Badodekar

职务: 应用工程师

背景: Nilesh Badodekar 从 I.I.T. Kharagpur, India 获取视觉信息加工和嵌入式系统的硕士学位。

## 文档修订记录

文档标题: AN89371 — 赛普拉斯 65 nm 异步 PowerSnooze™ SRAM 的省电功能

文档编号: 001-92384

版本	ECN	原始变更	提交日期	变更说明
**	4371860	NILE	05/06/2014	本文档版本号为 Rev**, 译自英文版 001-89371 Rev**。
*A	4471531	YLIU	08/12/2014	本文档版本号为 Rev*A, 译自英文版 001-89371 Rev**。
*B	4787361	YLIU	06/03/2015	本文档版本号为 Rev*B, 译自英文版 001-89371 Rev*A。

## 全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

### 产品

汽车级	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
时钟与缓冲区	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
接口	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明与电源控制	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a>
存储器	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
触摸感应	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB 控制器	<a href="http://cypress.com/go/usb">cypress.com/go/usb</a>
无线/射频	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

### PSoC®解决方案

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)  
 PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

### 赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

### 技术支持

[cypress.com/go/support](http://cypress.com/go/support)

PSoC 是赛普拉斯半导体公司的注册商标且 PSoC Creator 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

	赛普拉斯半导体	电话	: 408-943-2600
	198 Champion Court	传真	: 408-943-4730
	San Jose, CA 95134-1709	网址	: <a href="http://www.cypress.com">www.cypress.com</a>

©赛普拉斯半导体公司，2014-2015。此处所包含的信息可随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不在此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。