

AX8052F143

SoC超低功耗RF微控制器(适用于27 - 1050 MHz RF 载波频率范围)



ON Semiconductor®

www.onsemi.cn

概述

产品特性

SoC超低功耗先进窄带RF微控制器，适用于无线通信应用

- QFN40封装
- 电源电压范围1.8 V – 3.6 V
- -40°C到85°C
- 超低功耗:
 - ◆ CPU有源模式150 μ A/MHz
 - ◆ 带256字节RAM保留功能和唤醒计时器的睡眠模式，运行时电流为900 nA
 - ◆ 带4 kB RAM保留功能和唤醒计时器的睡眠模式，运行时电流为1.5 μ A
 - ◆ 带8 kB RAM保留功能和唤醒计时器的睡眠模式，运行时电流为2.2 μ A
 - ◆ 无线电RX模式
 - 6.5 mA (169 MHz)
 - 9.5 mA (868 MHz和433 MHz)
 - ◆ 无线电TX模式(868 MHz)
 - 7.5 mA (0 dBm)
 - 16 mA (10 dBm)
 - 48 mA (16 dBm)

AX8052

- 超低功耗MCU核心，兼容行业标准的8052指令集
- 唤醒电流低至500 nA
- 单一循环/指令(用于多项指令)
- 64 k系统内可编程闪存
- 代码保护锁
- 8.25 kB SRAM
- 3线(1条专用，2条共用)电路调试接口
- 三个16位计时器，具有LL1输出能力
- 两个16位唤醒计时器
- 两个输入捕获通道
- 两个带PWM功能的输出比较通道
- 10位模拟-数字转换器(采样速率500 K样本/秒)
- 温度传感器
- 两个模拟比较器
- 两个UART
- 一个通用主/从SPI
- 双通道DMA控制器

- 多兆位AES加密/解密引擎，支持配备带真随机数发生器(TRNG)的AES-128、AES-192和AES-256
注意: AES引擎和TRNG需要软件启用和支持。
- 超低功耗10 kHz/640 Hz唤醒振荡器，可根据精密时钟自动校准。
- 内部20 MHz RC振荡器，可根据精密时钟自动校准，实现灵活的系统时钟
- 低频音叉晶体振荡器，用于进行精准的低功率计时
- 欠压和上电复位检测

高性能窄带RF收发器，兼容AX5043 (FSK/MSK/4-FSK/GFSK/GMSK/ASK/AFSK/FM/PSK)

- 接收器
 - ◆ 载波频率范围为27至1050 MHz
 - ◆ 数据速率范围为0.1 kbps至125 kbps
 - ◆ 可选前向纠错功能(FEC)
 - ◆ 灵敏度(不带FEC)
 - 135 dBm (0.1 kbps), 868 MHz, FSK
 - 126 dBm (1 kbps), 868 MHz, FSK
 - 117 dBm (10 kbps), 868 MHz, FSK
 - 107 dBm (100 kbps), 868 MHz, FSK
 - 105 dBm (125 kbps), 868 MHz, FSK
 - ◆ 灵敏度(带FEC)
 - 138 dBm (0.1 kbps), 868 MHz, PSK
 - 130 dBm (1 kbps), 868 MHz, PSK
 - 120 dBm (10 kbps), 868 MHz, PSK
 - 109 dBm (100 kbps), 868 MHz, PSK
 - 108 dBm (125 kbps), 868 MHz, PSK
 - ◆ 灵敏度(带FEC)
 - 137 dBm (0.1 kbps), 868 MHz, FSK
 - 122 dBm (5 kbps), 868 MHz, FSK
 - 111 dBm (50 kbps), 868 MHz, FSK
 - ◆ 高选择性接收器，具有高达47 dB的相邻信道抑制
 - ◆ 0 dBm最大输入功率
 - ◆ +10%数据速率容错
 - ◆ 支持使用天线开关进行天线分集
 - ◆ 短前置码模式，可让接收器以低至16个前置位运行

- ◆ 快速状态切换时间
200 μ s TX \rightarrow RX切换时间
62 μ s RX \rightarrow TX切换时间
 - 发射器
 - ◆ 载波频率范围为27至1050 MHz
 - ◆ 数据速率范围为0.1 kbps至125 kbps
 - ◆ 高效率、高线性度集成式功率放大器
 - ◆ 最大输出功率
16 dBm (868 MHz)
16 dBm (433 MHz)
16 dBm (169 MHz)
 - ◆ 功率级可以0.5 dB的步长编程
 - ◆ GFSK整形, BT = 0.3或BT = 0.5
 - ◆ 无限制功率斜坡整形
 - RF频率产生
 - ◆ 可在27MHz - 1050 MHz波段范围内配置
 - ◆ RF载波频率和FSK偏差设置可以1 Hz的步长进行编程
 - ◆ 超快稳定RF频率合成器, 实现了低功耗
 - ◆ 完全集成的RF频率合成器, 具有VCO自动范围调节和带宽放大模式, 实现快速锁定
 - ◆ 可对完全集成的VCO、内部VCO(带外部电感)或完全外部VCO进行配置
 - ◆ 可对完全集成的或外部的合成器环路滤波器进行配置, 实现大范围带宽
 - ◆ 信道跳跃速度高达2000跳/秒
 - ◆ 自动频率控制(AFC)
 - 灵活的天线接口
 - ◆ 集成式RX/TX切换开关, 配备差分天线引脚
 - ◆ 配备差分RX引脚和单端TX引脚, 配合外部PA使用, 以较低的输出功率实现最高的PA效率
 - 无线电唤醒功能
 - ◆ 640 Hz或10 kHz最低功率唤醒计时器
 - ◆ 唤醒时间间隔可设置为98 μ s到102 s
 - 先进的无线电控制器
 - ◆ 天线分集和RX/TX切换控制
 - ◆ 完全自动的数据包接收和传输, 无需微控制器干预
 - ◆ 支持HDLC、原始帧、无线M-Bus帧和任意定义帧
 - ◆ 自动信道噪声等级跟踪
 - ◆ μ s分辨率时间戳, 用于精确计时(例如用于跳频系统中)
 - ◆ 256字节微型可编程FIFO, 可支持大于256字节的数据包
 - ◆ 三个匹配单元, 分别用于前置字节、同步码和地址
 - ◆ 能够存储RSSI、频率补偿值和数据速率补偿值, 以及数据包数据
 - ◆ 多接收器参数集允许在发送前置码期间使用更高性能的接收器参数, 在不降低灵敏度的情况下大幅缩短了所需前置码长度
 - 先进的晶体振荡器(RF基准振荡器)
 - ◆ 快速启动和最低功率稳态XTAL振荡器, 适用于各种晶体
 - ◆ 集成式调谐电容
 - ◆ 可应用外部时钟参考(TCXO)
- ### 应用
- 27 - 1050 MHz授权和未授权无线电系统
- 物联网
 - 自动读表系统(AMR)
 - 安全应用
 - 建筑自动化
 - 无线网络
 - 消息寻呼
 - 兼容: 无线M-Bus、POCSAG、FLEX、KNX、Sigfox、Z-Wave、enOcean
 - 调节机制: EN 300 220 V2.3.1, 包括窄带12.5 kHz、20 kHz和25 kHz定义; EN 300 422; FCC 15.247部分; FCC 15.249部分; FCC 90部分6.25 kHz、12.5 kHz和25 kHz

AX8052F143

框图

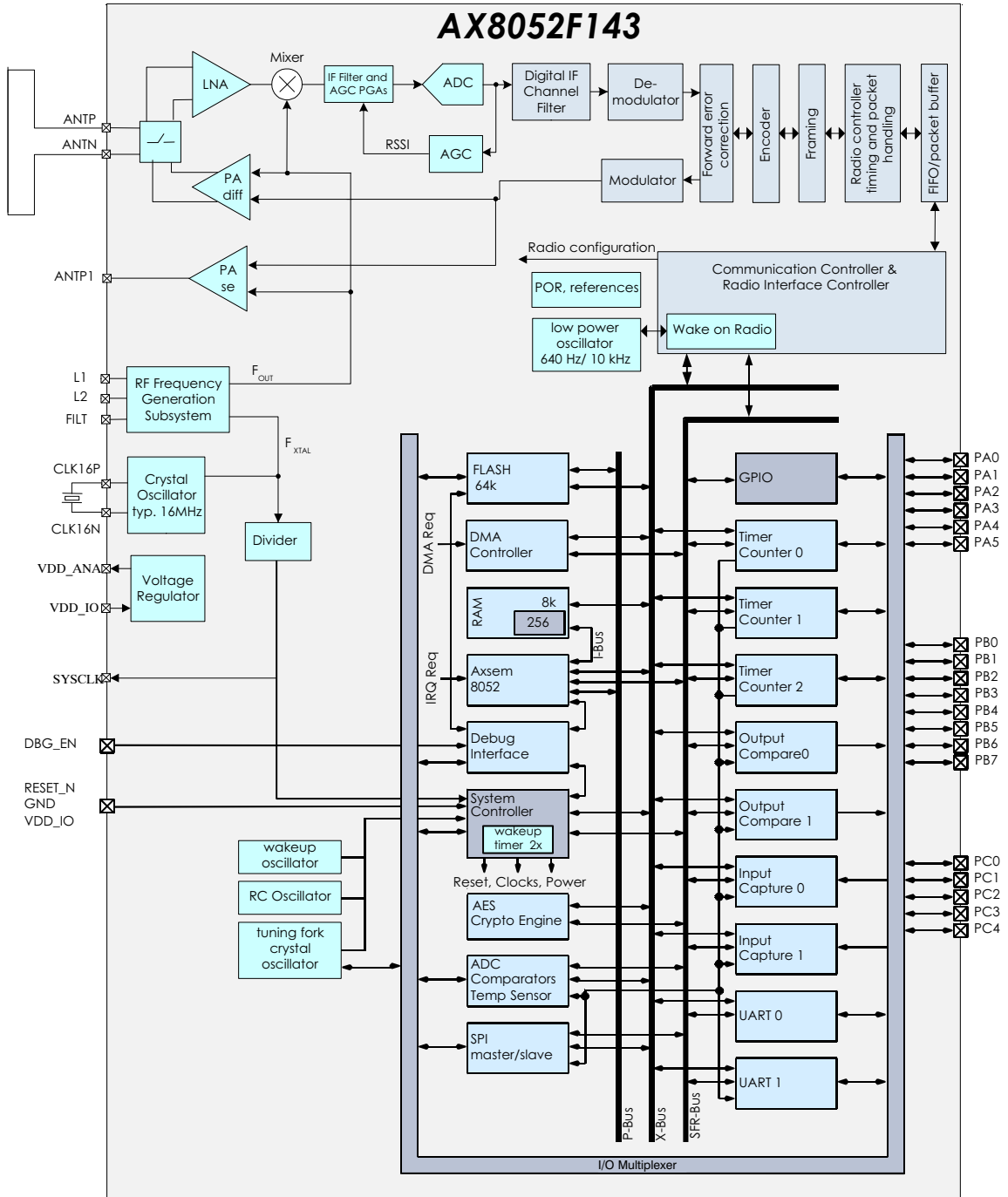


Figure 1. Functional Block Diagram of the AX8052F143

AX8052F143

Table 1. PIN FUNCTION DESCRIPTIONS

Symbol	Pin(s)	Type	Description
VDD_ANA	1	P	Analog power output, decouple to neighboring GND
GND	2	P	Ground, decouple to neighboring VDD_ANA
ANTP	3	A	Differential antenna input/output
ANTN	4	A	Differential antenna input/output
ANTP1	5	A	Single-ended antenna output
GND	6	P	Ground, decouple to neighboring VDD_ANA
VDD_ANA	7	P	Analog power output, decouple to neighboring GND
GND	8	P	Ground
FILT	9	A	Optional synthesizer filter
L2	10	A	Optional synthesizer inductor
L1	11	A	Optional synthesizer inductor
SYSCLK	12	I/O/PU	System clock output
PC4	13	I/O/PU	General purpose IO
PC3	14	I/O/PU	General purpose IO
PC2	15	I/O/PU	General purpose IO
PC1	16	I/O/PU	General purpose IO
PC0	17	I/O/PU	General purpose IO
PB0	18	I/O/PU	General purpose IO
PB1	19	I/O/PU	General purpose IO
PB2	20	I/O/PU	General purpose IO
PB3	21	I/O/PU	General purpose IO
PB4	22	I/O/PU	General purpose IO
PB5	23	I/O/PU	General purpose IO
PB6	24	I/O/PU	General purpose IO, DBG_DATA
PB7	25	I/O/PU	General purpose IO, DBG_CLK
DBG_EN	26	I/PD	In-circuit debugger enable
RESET_N	27	I/PU	Optional reset pin. If this pin is not used it must be connected to VDD_IO
GND	28	P	Ground
VDD_IO	29	P	Unregulated power supply
PA0	30	I/O/A/PU	General purpose IO
PA1	31	I/O/A/PU	General purpose IO
PA2	32	I/O/A/PU	General purpose IO
PA3	33	I/O/A/PU	General purpose IO
PA4	34	I/O/A/PU	General purpose IO
PA5	35	I/O/A/PU	General purpose IO
VDD_IO	36	P	Unregulated power supply
TST1	37	A	Must be connected to GND
TST2	38	A	Must be connected to GND
CLK16N	39	A	Crystal oscillator input/output (RF reference oscillator)
CLK16P	40	A	Crystal oscillator input/output (RF reference oscillator)
GND	Center pad	P	Ground on center pad of QFN, must be connected

AX8052F143

A =模拟输入
 I =数字输入信号
 O =数字输出信号
 PU =上拉
 I/O =数字输入/输出信号
 N =不连接
 P =电源或接地
 PD =下拉

所有数字输入为施密特触发器输入, 数字输入和输出电平兼容LVCMOS/LVTTL。不得将端口A引脚(PA0 - PA7)驱高到VDD_IO以上, 所有其他数字输入均能承受5 V。可为所有GPIO引脚编程上拉功能。

备用引脚功能

与片上周边设备的专用输入/输出信号共用GPIO引脚。下表列出了各GPIO引脚的可用功能。

Table 2. ALTERNATE PIN FUNCTIONS

GPIO	Alternate Functions				
PA0	T0OUT	IC1	ADC0		
PA1	T0CLK	OC1	ADC1		
PA2	OC0	U1RX	ADC2	COMPI00	
PA3	T1OUT		ADC3	LPXTALP	
PA4	T1CLK	COMPO0	ADC4	LPXTALN	
PA5	IC0	U1TX	ADC5	COMPI10	
PB0	U1TX	IC1	EXTIRQ0		
PB1	U1RX	OC1			
PB2	IC0	T2OUT			PWRAMP
PB3	OC0	T2CLK	EXTIRQ1	DSWAKE	ANTSEL
PB4	U0TX	T1CLK			
PB5	U0RX	T1OUT			
PB6	DBG_DATA				
PB7	DBG_CLK				
PC0	SSEL	T0OUT	EXTIRQ0		
PC1	SSCK	T0CLK	COMPO1		
PC2	SMOSI	U0TX			
PC3	SMISO	U0RX	COMPO0		
PC4	COMPO1	ADCTRIG	EXTIRQ1		

AX8052F143

引脚图

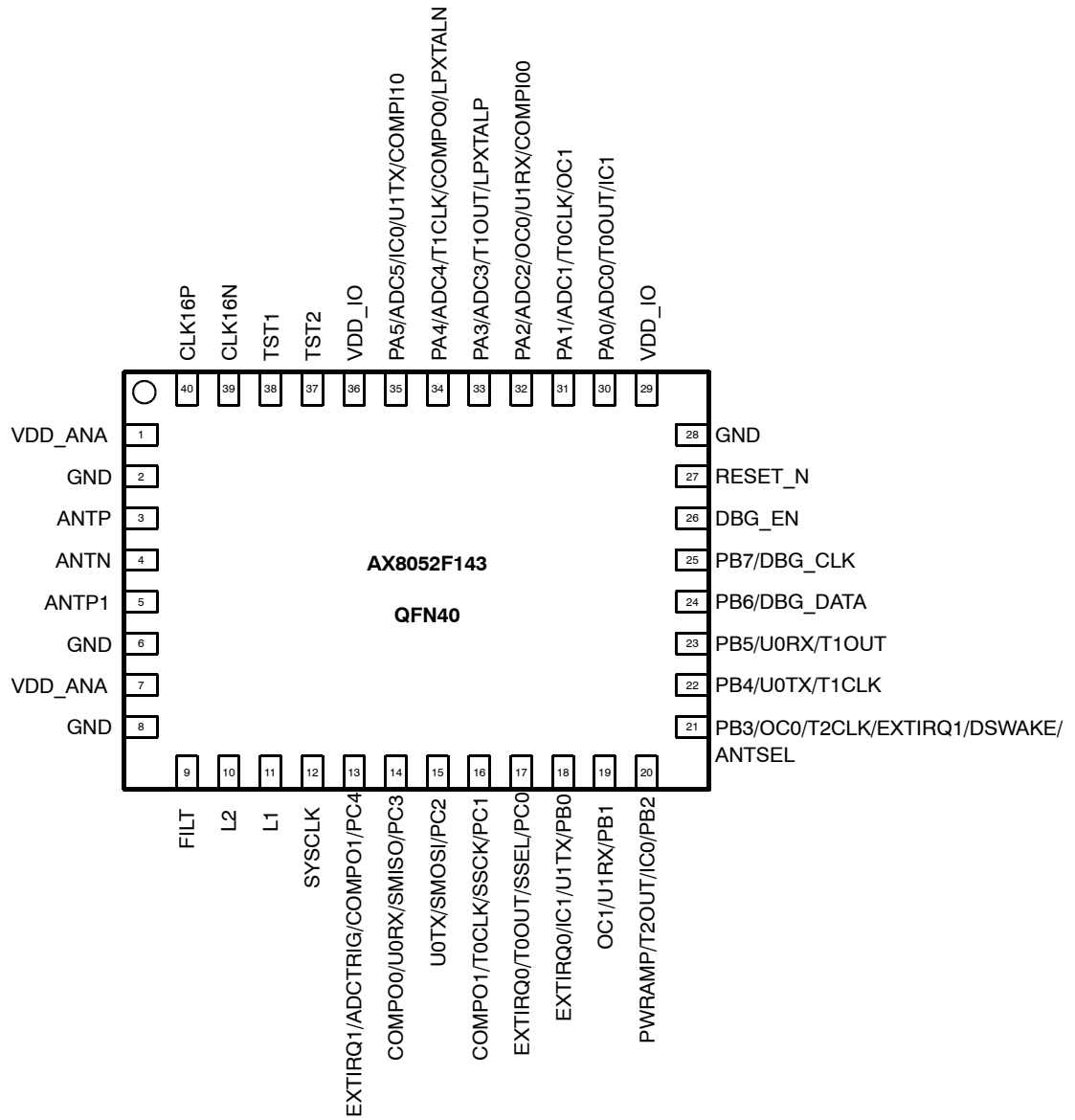


Figure 2. Pinout Drawing (Top View)

规格

Table 3. ABSOLUTE MAXIMUM RATINGS

Symbol	Description	Condition	Min	Max	Units
VDD_IO	Supply voltage		-0.5	5.5	V
IDD	Supply current			200	mA
P _{tot}	Total power consumption			800	mW
P _i	Absolute maximum input power at receiver input	ANTP and ANTN pins in RX mode		10	dBm
I _{I1}	DC current into any pin except ANTP, ANTN, ANTP1		-10	10	mA
I _{I2}	DC current into pins ANTP, ANTN, ANTP1		-100	100	mA
I _O	Output Current			40	mA
V _{ia}	Input voltage ANTP, ANTN, ANTP1 pins		-0.5	5.5	V
	Input voltage digital pins		-0.5	5.5	V
V _{es}	Electrostatic handling	HBM	-2000	2000	V
T _{amb}	Operating temperature		-40	85	°C
T _{stg}	Storage temperature		-65	150	°C
T _j	Junction Temperature			150	°C

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考譯文)

如果电压超过最大额定值表中列出的值范围，器件可能会损坏。如果超过任何这些限值，将无法保证器件功能，可能会导致器件损坏，影响可靠性。

1. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC特性表

Table 4. SUPPLIES

Sym	Description	Condition	Min	Typ	Max	Units
T _{AMB}	Operational ambient temperature		-40	27	85	°C
VDD _{IO}	I/O and voltage regulator supply voltage		1.8	3.0	3.6	V
VDD _{IO_R1}	I/O voltage ramp for reset activation; Note 1	Ramp starts at VDD_IO ≤ 0.1 V	0.1			V/ms
VDD _{IO_R2}	I/O voltage ramp for reset activation; Note 1	Ramp starts at 0.1 V < VDD_IO < 0.7 V	3.3			V/ms
V _{BOU} T	Brown-out threshold	Note 2		1.3		V
I _{DS}	Deep Sleep current			100		nA
I _{SL256P}	Sleep current, 256 Bytes RAM retained	Wakeup from dedicated pin		500		nA
I _{SL256}	Sleep current, 256 Bytes RAM retained	Wakeup Timer running at 640 Hz		900		nA
I _{SL4K}	Sleep current, 4.25 kBytes RAM retained	Wakeup Timer running at 640 Hz		1.5		μA
I _{SL8K}	Sleep current, 8.25 kBytes RAM retained	Wakeup Timer running at 640 Hz		2.2		μA
I _{RX}	Current consumption RX RF frequency generation subsystem: Internal VCO and internal loop-filter	868 MHz, datarate 6 kbps		9.5		mA
		169 MHz, datarate 6 kbps		6.5		
		868 MHz, datarate 100 kbps		11		
		169 MHz, datarate 100 kbps		7.5		
I _{TX-DIFF}	Current consumption TX differential	868 MHz, 16 dBm, FSK, Note 3 RF frequency generation subsystem: Internal VCO and internal loop-filter Antenna configuration: Differential PA, internal RX/TX switch		48		mA

Table 4. SUPPLIES

Sym	Description	Condition	Min	Typ	Max	Units
I _{RX-SE}	Current consumption TX single ended	868 MHz, 0 dBm, FSK, Note 3 RF frequency generation subsystem: Internal VCO and internal loop-filter Antenna configuration: Single ended PA, external RX/TX switching		7.5		mA
I _{MCU}	Microcontroller running power consumption	All peripherals disabled		150		μA/ MHz
I _{VSUP}	Voltage supervisor	Run and standby mode		85		μA
I _{LPXTAL}	Crystal oscillator current (RF reference oscillator)	16 MHz		160		μA
I _{LFXTAL}	Low frequency crystal oscillator current	32 kHz		700		nA
I _{RCOSC}	Internal oscillator current	20 MHz		210		μA
I _{LPOSC}	Internal Low Power Oscillator current	10 kHz		650		nA
		640 Hz		210		nA
I _{ADC}	ADC current	311 kSample/s, DMA 5 MHz		1.1		mA
I _{WOR}	Typical wake-on-radio duty cycle current	1s, 100 kbps		6		μA

1. If VDD_IO ramps cannot be guaranteed, an external reset circuit is recommended for AX8052F143-1 and AX8052F143-2, see the AX8052 Application Note: Power On Reset
2. Digital circuitry is functional down to typically 1 V.
3. Measured with optimized matching networks.

如需了解更多关于为您的应用定制的复杂运行模式下电流消耗的信息，请参阅软件AX-RadioLab。

有关TX模式下电流消耗的注意事项

要实现最佳输出功率，必须对匹配网络进行优化，以获得所需输出功率和频率。根据经验法则，较好的匹配网络使用AX8052F143功率放大器时的效率为50%（理论上可超过90%）。典型的匹配网络损耗为1 dB到2 dB (P_{loss})。单端PA (ANTP1)和差分PA (ANTP和ANTN)的理论效率相同，因此下表只列出了一个电流值。我们建议使用单端PA用于低输出功率，差分PA用于高功率。差分PA使用引脚ANTP和ANTN上的LNA实现内部多路复用。因此，对于PA匹配，必须要考虑RX匹配的限制。

电流消耗可使用以下等式计算

$$I_{TX}[mA] = \frac{1}{PA_{efficiency}} \times 10^{\frac{P_{out}[dBm] + P_{loss}[dB]}{10}} \div 1.8V + I_{offset}$$

对于完全集成的VCO (400 MHz至1050 MHz), I_{offset}约为6 mA；对于配置外部电感的VCO (169 MHz), 则为3 mA。下表显示了计算得出的电流消耗与输出功率 (P_{loss} = 1 dB、PA_{efficiency} = 0.5、I_{offset} = 6 mA @ 868 MHz以及I_{offset} = 3.5 mA (169 MHz))。

Table 5. CURRENT CONSUMPTION VS. OUTPUT POWER

Pout [dBm]	I _{txcalc} [mA]	
	868 MHz	169 MHz
0	7.5	4.5
1	7.9	4.9
2	8.4	5.4
3	9.0	6.0
4	9.8	6.8
5	10.8	7.8
6	12.1	9.1
7	13.7	10.7
8	15.7	12.7
9	18.2	15.2
10	21.3	18.3
11	25.3	22.3
12	30.3	27.3
13	36.7	33.7
14	44.6	41.6
15	54.6	51.6

两个AX8052F143功率放大器均由稳压电源VDD_ANA供电而非直接由电池供电。优点是电流和输出功率并不会随电源电压和温度的变化而剧烈变动。

Table 6. LOGIC

Symbol	Description	Condition	Min	Typ	Max	Units
Digital Inputs						
V _{T+}	Schmitt trigger low to high threshold point	VDD_IO = 3.3 V		1.55		V
V _{T-}	Schmitt trigger high to low threshold point			1.25		V
V _{IL}	Input voltage, low				0.8	V
V _{IH}	Input voltage, high		2.0			V
V _{IPA}	Input voltage range, Port A		-0.5		VDD_IO	V
V _{IPBC}	Input voltage range, Ports B, C	-0.5		5.5	V	
I _L	Input leakage current		-10		10	μA
R _{PU}	Programmable Pull-Up Resistance			65		kΩ
Digital Outputs						
I _{OH}	Output Current, high Ports PA, PB and PC	V _{OH} = 2.4 V	8			mA
I _{OL}	Output Current, low Ports PA, PB and PC	V _{OL} = 0.4 V	8			mA
I _{OH}	Output Current, high Pin SYSCLK	V _{OH} = 2.4 V	4			mA
I _{OL}	Output Current, low Pin SYSCLK	V _{OL} = 0.4 V	4			mA
I _{OZ}	Tri-state output leakage current		-10		10	μA

AC特性

Table 7. CRYSTAL OSCILLATOR (RF REFERENCE OSCILLATOR)

Symbol	Description	Condition	Min	Typ	Max	Units
f _{XTAL}	Crystal or frequency	Note 1, 2, 3	10	16	50	MHz
g _{m_{osc}}	Oscillator transconductance range	Self-regulated see note 4	0.2		20	mS
C _{osc}	Programmable tuning capacitors at pins CLK16N and CLK16P	AX5043_XTALCAP = 0x00 default		3		pF
		AX5043_XTALCAP = 0x01		8.5		pF
		AX5043_XTALCAP = 0xFF		40		pF
C _{osc-lsb}	Programmable tuning capacitors, increment per LSB of AX5043_XTALCAP	AX5043_XTALCAP = 0x01 – 0xFF		0.5		pF
f _{ext}	External clock input (TCXO)	Note 2, 3, 5	10	16	50	MHz
R _{IN_{osc}}	Input DC impedance		10			kΩ
NDIV _{SYSCLK}	Divider ratio f _{SYSCLK} = F _{XTAL} / NDIV _{SYSCLK}		2 ⁰	2 ⁴	2 ¹⁰	

1. Tolerances and start-up times depend on the crystal used. Depending on the RF frequency and channel spacing the IC must be calibrated to the exact crystal frequency using the readings of the register AX5043_TRKFREQ.
2. The choice of crystal oscillator or TCXO frequency depends on the targeted regulatory regime for TX, see separate documentation on meeting regulatory requirements.
3. To avoid spurious emission, the crystal or TCXO reference frequency should be chosen so that the RF carrier frequency is not an integer multiple of the crystal or TCXO frequency.
4. The oscillator transconductance is regulated for fastest start-up time during start-up and for lowest power during steady state oscillation. This means that values depend on the crystal used.
5. If an external clock or TCXO is used, it should be input via an AC coupling at pin CLK16P with the oscillator powered up and AX5043_XTALCAP = 000000. For detailed TCXO network recommendations depending on the TCXO output swing refer to the AX5043 Application Note: Use with a TCXO Reference Clock.

AX8052F143

Table 8. LOW-POWER OSCILLATOR (TRANSCEIVER WAKE ON RADIO CLOCK)

Symbol	Description	Condition	Min	Typ	Max	Units
f _{osc-slow}	Oscillator frequency slow mode LPOSC FAST = 0 in AX5043_LPOSCCONFIG register	No calibration	480	640	800	Hz
		Internal calibration vs. crystal clock has been performed	630	640	650	
f _{osc-fast}	Oscillator frequency fast mode LPOSC FAST = 1 in AX5043_LPOSCCONFIG register	No calibration	7.6	10.2	12.8	kHz
		Internal calibration vs. crystal clock has been performed	9.8	10.2	10.8	

Table 9. RF FREQUENCY GENERATION SUBSYSTEM (SYNTHESIZER)

Symbol	Description	Condition	Min	Typ	Max	Units
f _{REF}	Reference frequency	The reference frequency must be chosen so that the RF carrier frequency is not an integer multiple of the reference frequency	10	16	50	MHz

Dividers

NDIV _{ref}	Reference divider ratio range	Controlled directly with bits REFDIV in register AX5043_PLLVCODIV	2 ⁰		2 ³	
NDIV _m	Main divider ratio range	Controlled indirectly with register AX5043_FREQ	4.5		66.5	
NDIV _{RF}	RF divider range	Controlled directly with bit RFDIV in register AX5043_PLLVCODIV	1		2	

Charge Pump

I _{CP}	Charge pump current	Programmable in increments of 8.5 μA via register AX5043_PLLCPI	8.5		2168	μA
-----------------	---------------------	---	-----	--	------	----

Internal VCO (VCOSEL = 0)

f _{RF}	RF frequency range	RFDIV = 1	400		525	MHz
		RFDIV = 0	800		1050	
f _{step}	RF frequency step	RFDIV = 1 f _{REF} = 16.000000 MHz		0.98		Hz
BW	Synthesizer loop bandwidth	The synthesizer loop bandwidth at start-up time can be programmed with the registers AX5043_PLLLOOP and AX5043_PLLCPI.	50		500	kHz
T _{start}	Synthesizer start-up time if crystal oscillator and reference are running	For recommendations see the AX5043 Programming Manual, the AX-RadioLab software and AX5043 Application Notes on compliance with regulatory regimes.	5		25	μs
PN868	Synthesizer phase noise 868 MHz f _{REF} = 48 MHz	10 kHz from carrier		-95		dBc/Hz
		1 MHz from carrier		-120		
PN433	Synthesizer phase noise 433 MHz f _{REF} = 48 MHz	10 kHz from carrier		-105		dBc/Hz
		1 MHz from carrier		-120		

VCO with external inductors (VCOSEL = 1, VCO2INT = 1)

f _{RFrng_lo}	RF frequency range For choice of L _{ext} values as well as VCO gains see Figure 3 and Figure 4	RFDIV = 1	27		262	MHz
f _{RFrng_hi}		RFDIV = 0	54		525	
PN169	Synthesizer phase noise 169 MHz L _{ext} =47 nH (wire wound 0603) AX5043_RFDIV = 0, f _{REF} = 16 MHz Note: phase noises can be improved with higher f _{REF}	10 kHz from carrier		-97		dBc/Hz
		1 MHz from carrier		-115		

Table 9. RF FREQUENCY GENERATION SUBSYSTEM (SYNTHESIZER)

Symbol	Description	Condition	Min	Typ	Max	Units
External VCO (VCOSEL = 1, VCO2INT = 0)						
f _{RF}	RF frequency range fully external VCO	Note: The external VCO frequency needs to be 2 x f _{RF}	27		1000	MHz
V _{amp}	Differential input amplitude at L1, L2 terminals			0.7		V
V _{inL}	Input voltage levels at L1, L2 terminals		0		1.8	V
V _{ctrl}	Control voltage range	Available at FILT in external loop filter mode	0		1.8	V

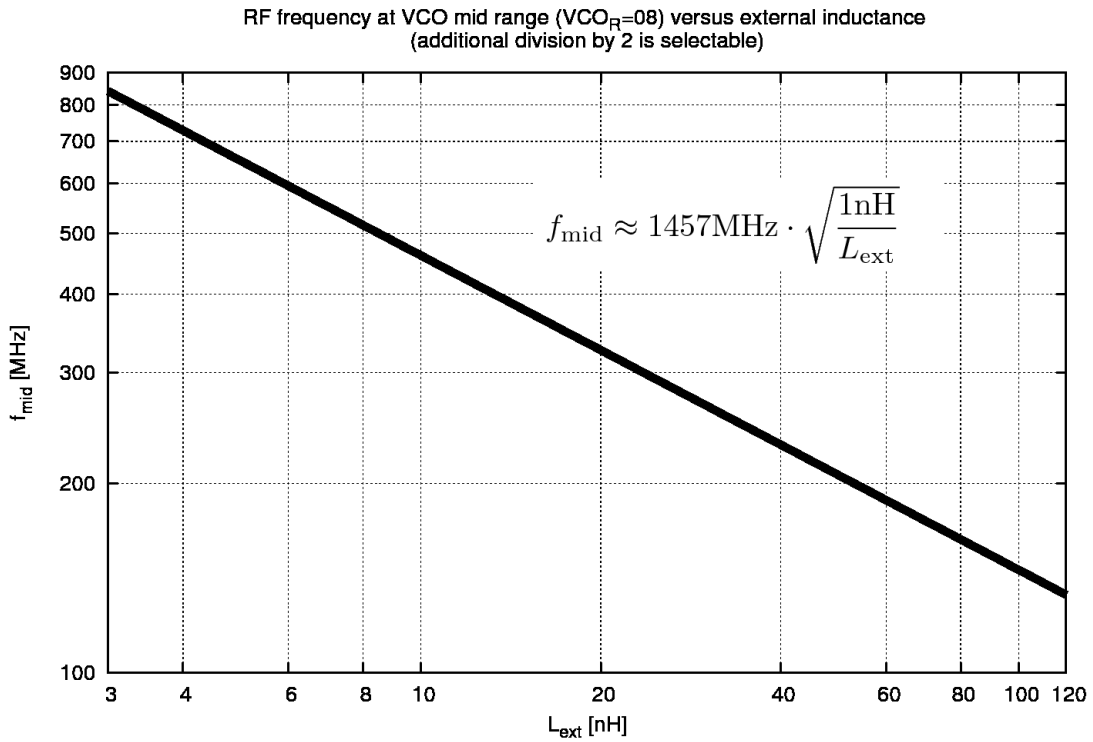


Figure 3. VCO with External Inductors: Typical Frequency vs. L_{ext}

AX8052F143

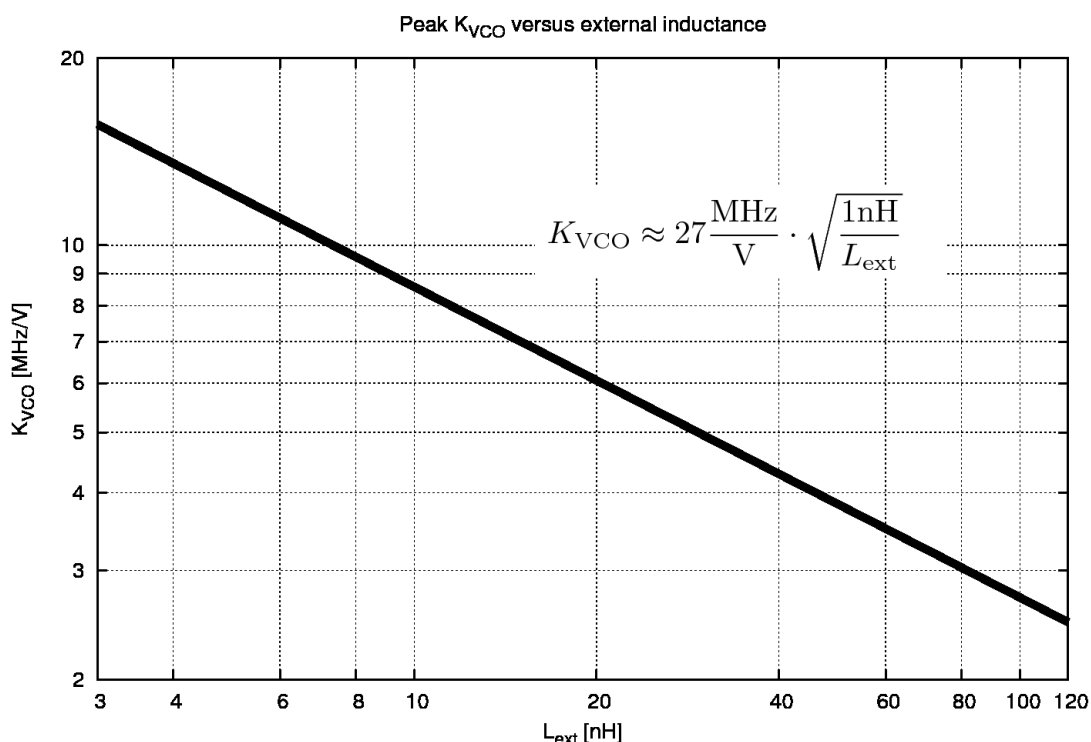


Figure 4. VCO with External Inductors: Typical K_{VCO} vs. L_{ext}

下表列出了频率合成的典型频率范围(外部VCO电感具有不同的电感值)。

Table 10.

L _{ext} [nH]	Freq [MHz]		PLL Range
	RFDIV = 0	RFDIV = 1	
8.2	482	241	0
8.2	437	219	15
10	432	216	0
10	390	195	15
12	415	208	0
12	377	189	15
15	380	190	0
15	345	173	15
18	345	173	0
18	313	157	15
22	308	154	0
22	280	140	14
27	285	143	0
27	258	129	15

33	260	130	0
33	235	118	15
39	245	123	0
39	223	112	14
47	212	106	0
47	194	97	14
56	201	101	0
56	182	91	15
68	178	89	0
68	161	81	15
82	160	80	1
82	146	73	14
100	149	75	1
100	136	68	14
120	136	68	0
120	124	62	14

如需微调或更改范围,可以增加一个电容与电感并联。

Table 11. TRANSMITTER

Symbol	Description	Condition	Min	Typ	Max	Units
SBR	Signal bit rate		0.1		125	kbps
PTX	Transmitter power @ 868 MHz	Differential PA, 50 Ω single ended measurement at an SMA connector behind the matching network, Note 2	-10		16	dBm
	Transmitter power @ 433 MHz		-10		16	
	Transmitter power @ 169 MHz		-10		16	
PTX _{step}	Programming step size output power	Note 1			0.5	dB
dTX _{temp}	Transmitter power variation vs. temperature	-40°C to +85°C Note 2		± 0.5		dB
dTX _{Vdd}	Transmitter power variation vs. VDD_IO	1.8 to 3.6 V Note 2		± 0.5		dB
Padj	Adjacent channel power GFSK BT = 0.5, 500 Hz deviation, 1.2 kbps, 25 kHz channel spacing, 10 kHz channel BW	868 MHz		-44		dBc
		433 MHz		-51		
PTX _{868-harm2}	Emission @ 2 nd harmonic	868 MHz, Note 2		-40		dBc
PTX _{868-harm3}	Emission @ 3 rd harmonic			-60		
PTX _{433-harm2}	Emission @ 2 nd harmonic	433 MHz, Note 2		-40		dBc
PTX _{433-harm3}	Emission @ 3 rd harmonic			-40		

$$1. P_{out} = \frac{AX5043_TXPWRCOEFFB}{2^{12} - 1} \times P_{max}$$

- 50 Ω single ended measurements at an SMA connector behind the matching network. For recommended matching networks see Applications section.

Table 12. RECEIVER SENSITIVITIES

The table lists typical input sensitivities (without FEC) in dBm at the SMA connector with the complete matching network for BER=10⁻³ at 433 or 868 MHz.

Data rate [kbps]		FSK h = 0.66	FSK h = 1	FSK h = 2	FSK h = 4	FSK h = 5	FSK h = 8	FSK h = 16	PSK
0.1	Sensitivity [dBm]	-135	-134.5	-132.5	-133	-133.5	-133	-132.5	-138
	RX Bandwidth [kHz]	0.2	0.2	0.3	0.5	0.6	0.9	2.1	0.2
	Deviation [kHz]	0.033	0.05	0.1	0.2	0.25	0.4	0.8	
1	Sensitivity [dBm]	-126	-125	-123	-123.5	-124	-123.5	-122.5	-130
	RX Bandwidth [kHz]	1.5	2	3	6	7	11	21	1
	Deviation [kHz]	0.33	0.5	1	2	2.5	4	8	
10	Sensitivity [dBm]	-117	-116	-113	-114	-113.5	-113		-120
	RX Bandwidth [kHz]	15	20	30	50	60	110		10
	Deviation [kHz]	3.3	5	10	20	25	40		
100	Sensitivity [dBm]	-107	-105.5						-109
	RX Bandwidth [kHz]	150	200						100
	Deviation [kHz]	33	50						
125	Sensitivity [dBm]	-105	-104						-108
	RX Bandwidth [kHz]	187.5	200						125
	Deviation [kHz]	42.3	62.5						

- Sensitivities are equivalent for 1010 data streams and PN9 whitened data streams.
- RX bandwidths < 0.9 kHz cannot be achieved with an 48 MHz TCXO. A 16 MHz TCXO was used for all measurements at 0.1 kbps.

Table 13. RECEIVER

Symbol	Description	Condition	Min	Typ	Max	Units
SBR	Signal bit rate		0.1		125	kbps
IS _{BER868}	Input sensitivity at BER = 10 ⁻³ for 868 MHz operation, continuous data, without FEC	FSK, h = 0.5, 100 kbps		-106		dBm
		FSK, h = 0.5, 10 kbps		-116		
		FSK, 500 Hz deviation, 1.2 kbps		-126		
		PSK, 100 kbps		-109		
		PSK, 10 kbps		-120		
		PSK, 1 kbps		-130		
IS _{BER868FEC}	Input sensitivity at BER = 10 ⁻³ , for 868 MHz operation, continuous data, with FEC	FSK, h = 0.5, 50 kbps		-111		dBm
		FSK, h = 0.5, 5 kbps		-122		
		FSK, 0.1 kbps		-137		
IS _{PER868}	Input sensitivity at PER = 1%, for 868 MHz operation, 144 bit packet data, without FEC	FSK, h = 0.5, 100 kbps		-103		dBm
		FSK, h = 0.5, 10 kbps		-115		
		FSK, 500 Hz deviation, 1.2 kbps		-125		
IS _{WOR868}	Input sensitivity at PER = 1% for 868 MHz operation, WOR-mode, without FEC	FSK, h = 0.5, 100 kbps		-102		dBm
IL	Maximum input level	Full selectivity		0		dBm
		FSK, reduced selectivity		10		
CP _{1dB}	Input referred compression point	2 tones separated by 100 kHz		-35		dBm
RSSIR	RSSI control range	FSK, 500 Hz deviation, 1.2 kbps	-126		-46	dB
RSSIS ₁	RSSI step size	Before digital channel filter; calculated from register AX5043_AGCCOUNTER		0.625		dB
RSSIS ₂	RSSI step size	Behind digital channel filter; calculated from registers AX5043_AGCCOUNTER, AX5043_TRKAMPL		0.1		dB
RSSIS ₃	RSSI step size	Behind digital channel filter; reading register AX5043_RSSI		1		dB
SEL ₈₆₈	Adjacent channel suppression	25 kHz channels , Note 1		45		dB
		100 kHz channels, Note 1		47		
BLK ₈₆₈	Blocking at ± 10 MHz offset	Note 2		78		dB
R _{AFC}	AFC pull-in range	The AFC pull-in range can be programmed with the AX5043_MAXRFOFFSET registers. The AFC response time can be programmed with the AX5043_FREQGAIN register.	± 15			%
R _{DROFF}	Bitrate offset pull-in range	The bitrate pull-in range can be programmed with the AX5043_MAXDROFFSET registers.	± 10			%

1. Interferer/Channel @ BER = 10⁻³, channel level is +3 dB above the typical sensitivity, the interfering signal is CW; channel signal is modulated with shaping
2. Channel/Blocker @ BER = 10⁻³, channel level is +3 dB above the typical sensitivity, the blocker signal is CW; channel signal is modulated with shaping

Table 14. RECEIVER AND TRANSMITTER SETTTLING PHASES

Symbol	Description	Condition	Min	Typ	Max	Units
T _{x_{tal}}	XTAL settling time	Powermodes: POWERDOWN to STANDBY Note that T _{x_{tal}} depends on the specific crystal used.		0.5		ms
T _{synth}	Synthesizer settling time	Powermodes: STANDBY to SYNTHTX or SYNTHRX		40		μs
T _{tx}	TX settling time	Powermodes: SYNTHTX to FULLTX T _{tx} is the time used for power ramping, this can be programmed to be 1 x t _{bit} , 2 x t _{bit} , 4 x t _{bit} or 8 x t _{bit} . Note 1	0	1 x t _{bit}	8 x t _{bit}	μs
T _{rx_init}	RX initialization time			150		μs
T _{rx_rssi}	RX RSSI acquisition time (after T _{rx_init})	Powermodes: SYNTHRX to FULLRX		80 + 3 x t _{bit}		μs
T _{rx_preamble}	RX signal acquisition time to valid data RX at full sensitivity/selectivity (after T _{rx_init})	Modulation (G)FSK Note 1		9 x t _{bit}		μs

1. t_{bit} depends on the datarate, e.g. for 10 kbps t_{bit} = 100 μs

Table 15. OVERALL STATE TRANSITION TIMES

Symbol	Description	Condition	Min	Typ	Max	Units
T _{tx_on}	TX startup time	Powermodes: STANDBY to FULLTX Note 1	40	40 + 1 x t _{bit}		μs
T _{rx_on}	RX startup time	Powermodes: STANDBY to FULLRX		190		μs
T _{rx_rssi}	RX startup time to valid RSSI	Powermodes: STANDBY to FULLRX		270 + 3 x t _{bit}		μs
T _{rx_data}	RX startup time to valid data at full sensitivity/selectivity	Modulation (G)FSK Note 1		190 + 9 x t _{bit}		μs
T _{rx_{tx}}	RX to TX switching	Powermodes: FULLRX to FULLTX		62		μs
T _{tx_{rx}}	TX to RX switching (to preamble start)	Powermodes: FULLTX to FULLRX		200		μs
T _{hop}	Frequency hop	Switch between frequency defined in register AX5043_FREQA and AX5043_FREQB		30		μs

1. t_{bit} depends on the datarate, e.g. for 10 kbps t_{bit} = 100 μs

Table 16. LOW FREQUENCY CRYSTAL OSCILLATOR

Symbol	Description	Condition	Min	Typ	Max	Units
f _{LPXTAL}	Crystal frequency			32	150	kHz
g _m _{lpxosc}	Transconductance oscillator	LPXOSCGM = 00110		3.5		μs
		LPXOSCGM = 01000		4.6		
		LPXOSCGM = 01100		6.9		
		LPXOSCGM = 10000		9.1		
R _{IN} _{lpxosc}	Input DC impedance		10			MΩ

Table 17. INTERNAL LOW POWER OSCILLATOR

Symbol	Description	Condition	Min	Typ	Max	Units
f _{LPOSC}	Oscillation Frequency	LPOSCFAST = 0 Factory calibration applied. Over the full temperature and voltage range	630	640	650	Hz
		LPOSCFAST = 1 Factory calibration applied Over the full temperature and voltage range	10.08	10.24	10.39	kHz

Table 18. INTERNAL RC OSCILLATOR

Symbol	Description	Condition	Min	Typ	Max	Units
f _{LFRCPOSC}	Oscillation Frequency	Factory calibration applied. Over the full temperature and voltage range	19.8	20	20.2	MHz

Table 19. MICROCONTROLLER

Symbol	Description	Condition	Min	Typ	Max	Units
T _{SYCLKL}	SYCLK Low		27			ns
T _{SYCLKH}	SYCLK High		21			ns
T _{SYCLKP}	SYCLK Period		47			ns
T _{FLWR}	FLASH Write Time	2 Bytes		20		μs
T _{FLPE}	FLASH Page Erase	1 kBytes		2		ms
T _{FLE}	FLASH Secure Erase	64 kBytes		10		ms
T _{FLEND}	FLASH Endurance: Erase Cycles		10 000	100 000		Cycles
T _{FLRETroom}	FLASH Data Retention	25°C See Figure 5 for the lower limit set by the memory qualification	100			Years
T _{FLREThot}		85°C See Figure 5 for the lower limit set by the memory qualification	10			

AX8052F143

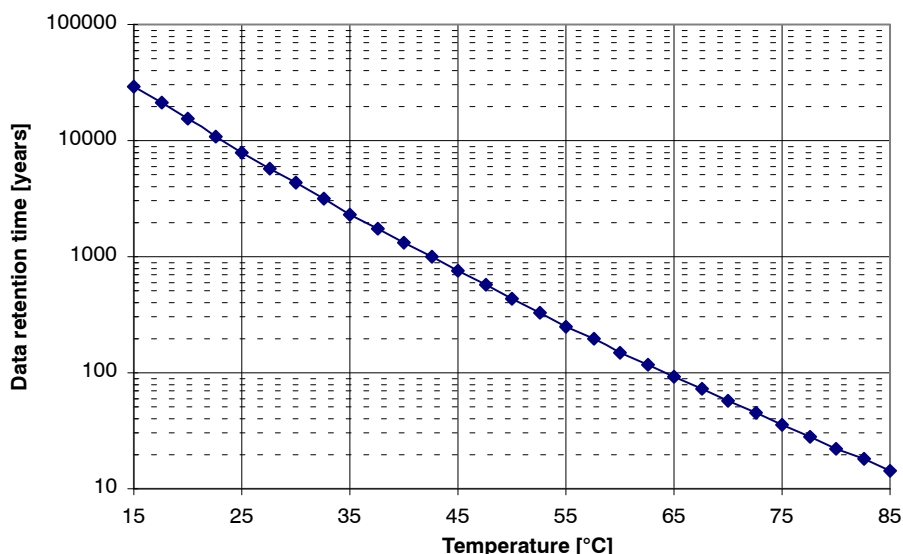


Figure 5. FLASH Memory Qualification Limit for Data Retention after 10k Erase Cycles

Table 20. ADC / COMPARATOR / TEMPERATURE SENSOR

Symbol	Description	Condition	Min	Typ	Max	Units
ADCSR	ADC sampling rate GPADC mode		30		500	kHz
ADCSR_T	ADC sampling rate temperature sensor mode		10	15.6	30	kHz
ADCRES	ADC resolution			10		Bits
V _{ADCREf}	ADC reference voltage & comparator internal reference voltage		0.95	1	1.05	V
Z _{ADC00}	Input capacitance				2.5	pF
DNL	Differential nonlinearity			± 1		LSB
INL	Integral nonlinearity			± 1		LSB
OFF	Offset			3		LSB
GAIN_ERR	Gain error			0.8		%
ADC in Differential Mode						
V _{ABS_DIFF}	Absolute voltages & common mode voltage in differential mode at each input		0		VDD_IO	V
V _{FS_DIFF01}	Full swing input for differential signals	Gain x1	-500		500	mV
V _{FS_DIFF10}		Gain x10	-50		50	mV
ADC in Single Ended Mode						
V _{MID_SE}	Mid code input voltage in single ended mode			0.5		V
V _{IN_SE00}	Input voltage in single ended mode		0		VDD_IO	V
V _{FS_SE01}	Full swing input for single ended signals	Gain x1	0		1	V
Comparators						
V _{COMP_ABS}	Comparator absolute input voltage		0		VDD_IO	V
V _{COMP_COM}	Comparator input common mode		0		VDD_IO - 0.8	V
V _{COMPOFF}	Comparator input offset voltage				20	mV
Temperature Sensor						
T _{RNG}	Temperature range		-40		85	°C
T _{RES}	Temperature resolution			0.1607		°C/LSB
T _{ERR_CAL}	Temperature error	Factory calibration applied	-2		2	°C

电路说明

AX8052F143是一款真正的单片窄带、超低功耗RF微控制器SoC，适用于70 MHz到1050 MHz的授权和非授权波段。片上收发器包含完全集成的射频前端调制器和解调器。基带数据处理在一个先进而灵活的通信控制器中执行，可实现简单便捷的通信。

AX8052F143包含一个高速微控制器，兼容行业标准的8052指令集。带有64 kB闪存和8.25 kB内部SRAM。

AX8052F143配备3个16位通用计时器(带LL1功能)、2个输出比较单元(用于产生PWM信号)、2个输入比较单元(用于外部信号计时)、2个16位唤醒计时器、1个看门狗计时器、2个UART、1个主/从SPI控制器、1个10位500 K样本/秒的A/D转换器、2个模拟比较器、1个温度传感器、1个2信道DMA控制器和1个专用AES crypto控制器。通过一个专用硬件调试接口控制器辅助调试，该控制器使用3线协议连接(1条专用，2条与GPIO共用)至托管调试软件的PC。

虽然无线电载波器/LO合成器仅可通过晶体振荡器计时(为确保载波的稳定性，需要MHz范围内的高稳定性参考时钟)，但微控制器及其周边设备可提供极为灵活的时钟选项。可从以下其中一个时钟来源选择对微控制器计时的系统时钟，以及周边设备时钟：晶体振荡器、内部高速20 MHz振荡器、内部低速640 Hz/10 kHz振荡器或低频晶体振荡器。预分频器能够以二的幂数分频，增强了灵活性。为了提高内部振荡器的精确度，两个振荡器都可从属于晶体振荡器。

AX8052F143可在1.8 V至3.6 V电源、-40°C至85°C的温度范围内工作；根据输出功率，发射时消耗4 - 51 mA，接收时消耗6.8 - 11 mA。

AX8052F143的各项功能使其成为集成至各种电池供电解决方案(例如售票装置)理想接口，或者用作遥测应用(如传感器)的接收器。这款收发器主要应用于UHF无线电设备(符合欧洲电信标准协会(ETSI)规范EN 300 220-1和美国联邦通讯委员会(FCC)标准CFR 47第15部分以及第90部分)。此外，AX8052F143还适用于符合无线M-Bus标准EN 13757-4:2005的系统。支持无线M-Bus帧(S、T、R)。

AX8052F143以帧为单位发送和接收数据。此标准工作模式被称为帧头模式。可自动产生前置码、后置码以及校验和。

对于FSK、MSK、4-FSK、GFSK、GMSK和ASK调制，AX8052F143支持0.1 kbps到125 kbps的任何数据

速率。为实现特定数据速率和调制机制下最佳性能，需要进行若干项寄存器设置，以配置AX8052F143，下文将简单地介绍，详情请参阅AXSEM RadioLab软件(用于计算必要的寄存器设置)和AX5043编程手册。

接收器支持各种数据速率和调制机制下的多信道运行模式。

微控制器

AX8052微控制器核心执行行业标准的8052指令集。

与原始8052指令集不同，许多指令在单一周期中执行。系统时钟和指令执行速率可在DC到20 MHz之间随意设置。

存储器架构

AX8052F143微控制器是同类器件中带宽最大的存储器架构。图6显示了该存储器架构。三个总线主控可启动总线周期：

- AX8052微控制器核心
- 直接存储器访问(DMA)引擎
- 高级加密标准(AES)引擎总线目标包括：
- 两个独立4 kB RAM模块，位于X地址空间，可在睡眠模式下同时访问、单独关闭或保留。
- 256字节RAM位于内部地址空间，在睡眠模式下可一直保留。
- 64 kB闪存位于代码空间。
- 特殊功能寄存器(SFR)位于内部地址空间，可使用直接地址模式指令访问。
- 其他寄存器位于X地址空间(X寄存器)

还可通过X地址空间访问闪存的上半部分。这可以通过减少对一般指针的需求，简化软件并使其更高效。

注意：除地址外，一般指针还包括地址空间标签。

SFR寄存器还可通过X地址空间访问，从而实现了对SFR寄存器的间接访问。这可让多个相同的周边设备共享驱动代码(例如UART或计时器)。

4字16位全相联缓存和预提取控制器可隐藏闪存延迟。

AX8052F143

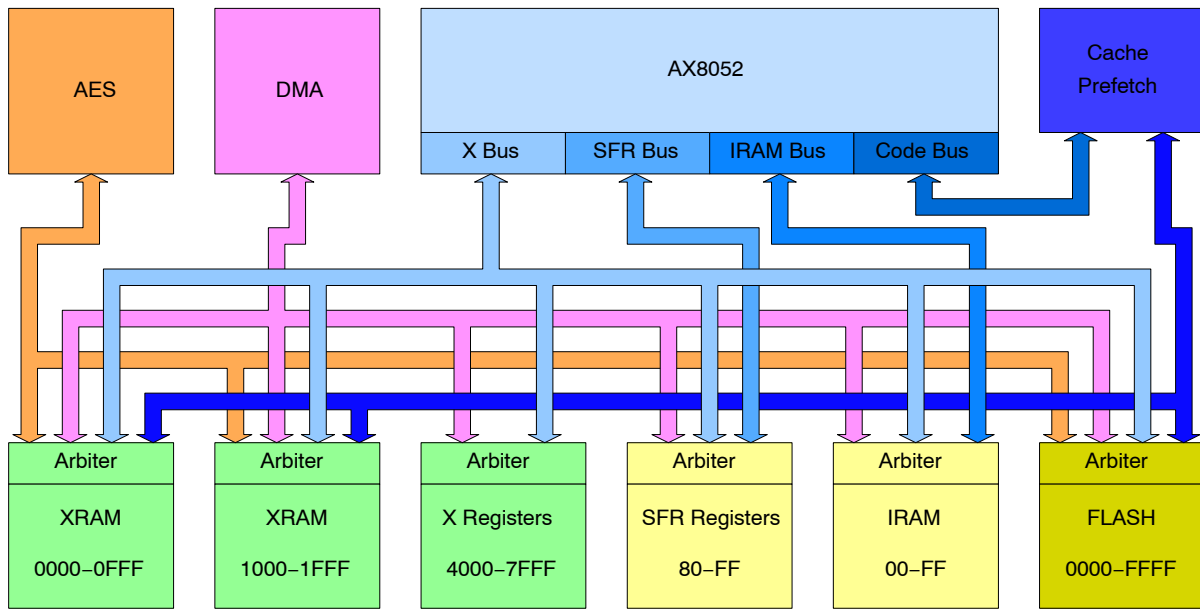


Figure 6. AX8052 Memory Architecture

AX8052存储器架构为完全并行式架构。在各系统时钟周期中，所有总线主控可同时访问不同的总线目标。各总线目标包括一个仲裁器，用于解决访问冲突。各仲裁器可确保总线主控不会闲置。

两个4 kB RAM模块可在睡眠模式下单独保留或关闭。256字节RAM可在睡眠模式下一直保留。

AES引擎可一次访问存储器16位。因此，可以更快地在偶地址调整缓冲器。

内存映射

AX8052，与其他兼容行业标准8052的微控制器一样，也使用Harvard架构。可使用多个地址空间来访问代码和数据。图7显示了AX8052内存映射。

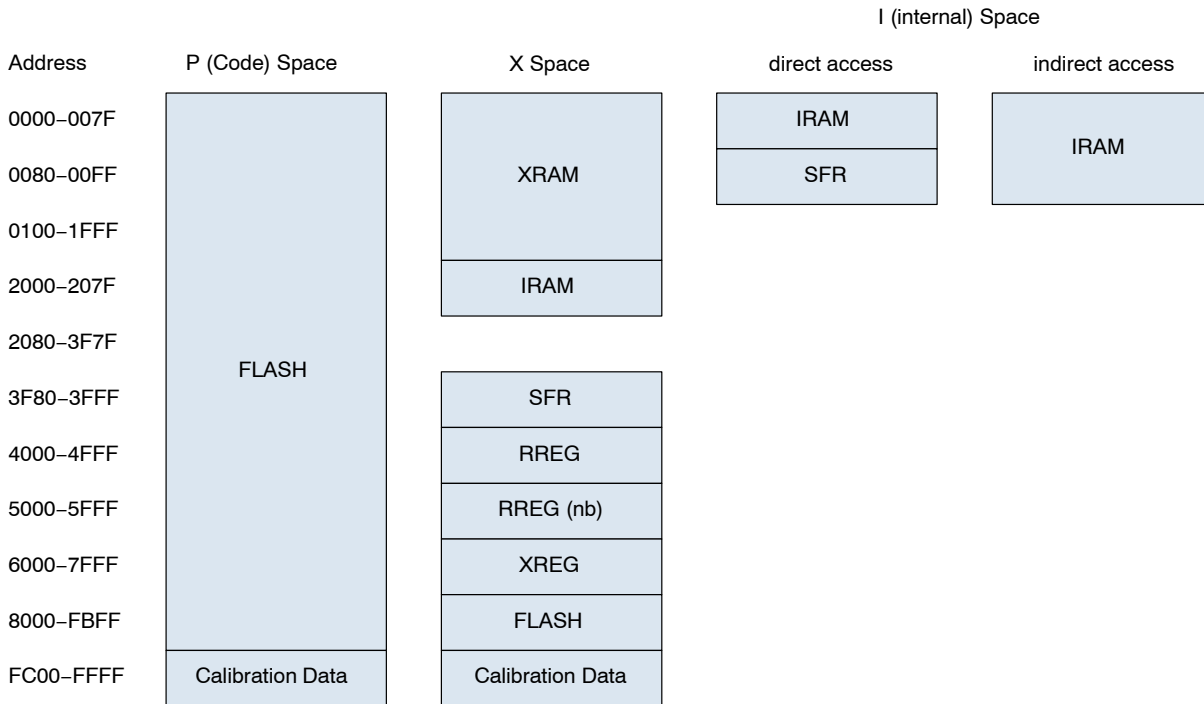


Figure 7. AX8052 Memory Architecture

AX8052使用P或代码空间访问其程序。代码空间还可使用MOVC指令来读取。少量数据可置于内部空间(请见注释)或数据空间。直接访问(MOV reg, addr; MOV addr, reg)与间接访问(MOV reg, @Ri; MOV @Ri, reg; PUSH; POP)的区别在于数据空间的上半区; 直接访问将被路由至特殊功能寄存器, 而间接访问则被路由至内部RAM。

注意: 内部空间与外部(X)空间的划分有悠久的历史。外部空间过去常用在原始8052微控制器的芯片外部。

大量数据可置于外部或X空间。可使用MOVX指令访问。特殊功能寄存器(XREG)以及其他微控制器寄存器(XREG)和无线电寄存器(RREG)也将映射至X空间。

在AX8052编程手册中可找到特殊功能寄存器(SFR)和其他微控制器寄存器的详情资料。

AX5043编程手册中有无线电寄存器的相关资料。AX5043编程指南中列出的寄存器地址与RREG开头对

应, 即必须将0x4000添加至这些地址。建议使用提供AXSEM提供的ax8052f143.h标头文件; 无线电寄存器在ax8052f143.h标头文件中的前缀为AX5043, 这是为了避免无线电寄存器与AX8052寄存器名称相同而发生冲突。

通常, 在RREG地址范围内即可访问无线电寄存器。由于无线电寄存器访问延迟高于AX8052寄存器, 因此AX8052提供了一种访问无线电寄存器的非阻断式方法。访问RREG(nb)地址范围可启动无线电寄存器访问, 但不会等待其完成。AX8052编程手册的“无线电接口”部分详细介绍了这种机制。

闪存分64页, 每页1 kB。每一页均可单独清除。写入字大小为16位。最后1k B页面专用于出厂校准数据, 不得被覆盖。

电源管理

可从收发器独立选择微控制器电源模式。微控制器支持以下电源模式:

Table 21. POWER MANAGEMENT

PCON register	Name	Description
00	RUNNING	The microcontroller and all peripherals are running. Current consumption depends on the system clock frequency and the enabled peripherals and their clock frequency.
01	STANDBY	The microcontroller is stopped. All register and memory contents are retained. All peripherals continue to function normally. Current consumption is determined by the enabled peripherals. STANDBY is exited when any of the enabled interrupts become active.
10	SLEEP	The microcontroller and its peripherals, except GPIO and the system controller, are shut down. Their register settings are lost. The internal RAM is retained. The external RAM is split into two 4 kByte blocks. Software can determine individually for both blocks whether contents of that block are to be retained or lost. SLEEP can be exited by any of the enabled GPIO or system controller interrupts. For most applications this will be a GPIO or wakeup timer interrupt.
11	DEEPSLEEP	The microcontroller, all peripherals and the transceiver are shut down. Only 4 bytes of scratch RAM are retained. DEEPSLEEP can only be exited by tying the PB3 pin low.

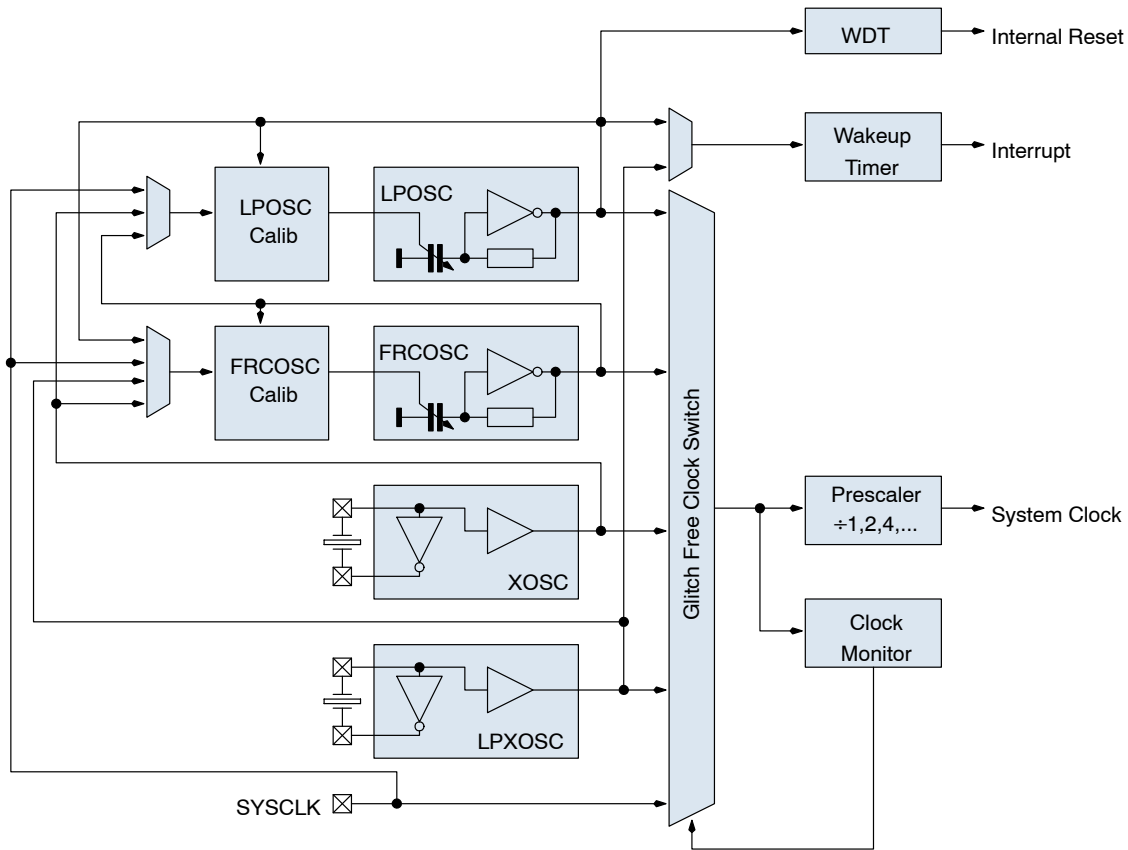


Figure 8. Clock System Diagram

系统时钟可来自于以下任何时钟来源:

- 晶体振荡器(RF基准振荡器, 典型值为16MHz, 通过SYSCLK实现)
- 低速晶体振荡器(典型值为32 kHz音叉)
- 内部高速RC(20 MHz)振荡器
- 内部低功耗(640 Hz/10 kHz)振荡器

额外增加一个预分频器, 可让所选振荡器以二的幂数分频。复位后, 微控制器使用所选内部高速RC振荡器启动, 并且以二分频。即, 启动时, 微控制器以10 MHz + 10%运行。时钟可通过写入CLKCON寄存器切换任何时间。为了防止时钟干扰, 切换耗时约为 $\cdot 2 (T1+T2)$, 其中T1和T2为新旧时钟的时间段。如果必须先启动新振荡器, 切换时间可能更长。内部振荡器将立即启动, 但对于晶体振荡器, 可能需要相当长的时间才能启动振荡。可读取CLKSTAT来确定时钟切换状态。

在可编程时间间隔内, 如果没有发现任何系统时钟转换, 可编程时钟监控器将会复位CLKCON寄存器, 从而恢复为内部RC振荡器。

两个内部振荡器都可从属于其中一个晶体振荡器, 以提高振荡器频率的精确度。当基准振荡器运行时, 内部振荡器将通过数字频率锁定环路从属于基准频

率。当基准振荡器关闭时, 内部振荡器继续按上次的频率设置以从属状态运行。

复位和中断

复位后, 微控制器开始在地址0x0000执行。某些事件可能导致微控制器核心复位:

- POR或硬件RESET_N引脚已启用并释放
- 退出睡眠或深度睡眠模式
- 看门狗复位
- 软件复位

可通过读取PCON寄存器确定复位原因。

微控制器支持22个中断来源。每个中断可单独启用, 并且可设置为两种优先级中的一种。中断向量位于0x0003、0x000B、...、0x00AB。

调试

与其他8052微控制器相比, 硬件调试单元可显著简化调试工作。即使栈已被破坏, 仍可在断点可靠地停止微控制器。调试单元与使用3线接口运行调试器的PC进行通信。一条线为专用(DBG_EN), 另两条线则与GPIO引脚(PB6, PB7)共用。当DBG_EN驱高时, PB6和PB7转换为调试接口引脚, GPIO功能不再可

用。然而，引脚仿真功能可允许设置PINB[7:6]位，并允许通过调试器软件读取PORTB[7:6]和DIRB[7:6]。例如，这允许开关或LED连接至PB6、PB7引脚，以便在启动调试器时，在调试器软件中进行仿真。

为了保护固件开发者的知识产权，可使用开发者所选的64位密钥锁定调试接口。调试接口随后将被禁用，只能使用正确的64位密钥启用。因此，未经授权的人员将无法通过调试接口读取固件，但经授权的人员仍可进行调试。启用安全清除无需知道密钥；安全清除可确保在清除密钥之前完全清除主闪存阵列，将芯片还原为出厂状态。

DebugLink周边设备看上去就像是微控制器的UART，允许在微控制器和PC之间交换数据，而不会中断程序执行。

计时器、输出比较和输入提取

AX8052F143配备三个通用16位计时器。每个计时器可使用系统时钟、任何可用振荡器或专用输入引脚来锁定。计时器还配置可编程时钟倒转、可编程预分频器(能以二的幂数分频)、可选时钟同步逻辑(将时钟与系统时钟同步)。全部三个计时器完全一致且具有四种不同的计时模式以及LL1模式(可用于在仅采用简单RC低通滤波器的专用数字引脚上输出模拟值)。

两个输出比较单元与其中一个计时器配合，产生PWM信号。两个输入提取单元与其中一个计时器配合，测量输入信号转换。对于软件计时，额外提供两个16位唤醒计时器以及4个16位事件寄存器进行软件计时，对匹配事件产生中断信号。

UART

AX8052F143配备两个通用异步收发器。它们使用其中一个计时器作为波特率发生器。字长可设置为5至9位。

SPI主/从控制器

AX8052F143配备一个主/从SPI控制器。支持3线和4线SPI变量。在主模式中，可选择任何片上振荡器或系统时钟作为时钟来源。额外增加一个预分频器((能以二的幂数分频))，提升了计时的灵活性。可设置转换方向以及时钟相位和倒转。

ADC、模拟比较器和温度传感器

AX8052F143配有一个10位500 K样本/秒的模拟-数字转换器。图9显示了ADC框图。ADC支持单端和差分测量，使用1 V的内部基准电压V_{×1}、×10和×0.1增益模式。ADC可将PA0...PA7、VDD_IO以及内部温度传感器上的信号数字化。用户可定义四个信道，这些信道随后按顺序转换并储存到四个单独的结果寄存器中。每个信道的配置包括多工器和增益设置。

AX8052F143包含一个片上温度传感器。内置校准逻辑可让温度传感器以°C、°F或任何用户定义的温标进行校准。

AX8052F143还配备有两个模拟比较器。每个比较器都可比较专用PA引脚上的两个电压，或比较其中一个电压与内部1 V参考电压。比较器输出可路由至专用数字输出引脚，或者使用软件读取。比较器使用系统时钟计时。

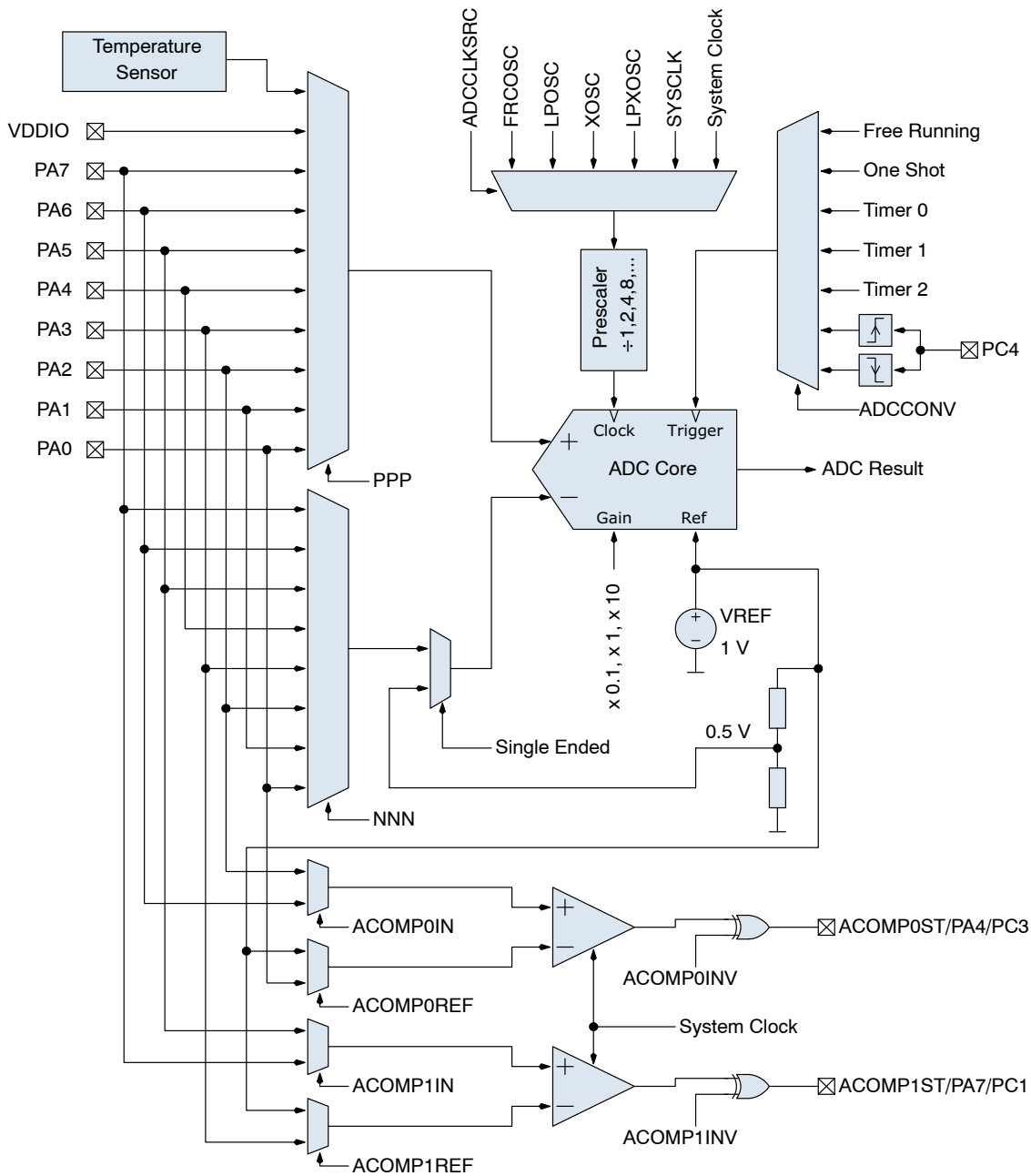


Figure 9. ADC Block Diagram

DMA控制器

AX8052F143配备双通道DMA引擎。每个DMA通道都可将数据从XRAM传输至任何片上周边设备，或者从几乎任何周边设备传输至XRAM。两个通道还可跨链路进行存储器到存储器的数据传输。DMA通道使用缓冲器描述符来查找将在其中检索或放置数据缓冲器，从而实现灵活的缓冲策略。

DMA通道以周期挪用的方式访问XRAM。它们在微控制器不使用XRAM时访问XRAM。其优先级低于微控制器，因此对微控制器的干扰非常小。附加逻辑可防止DMA控制器闲置。

AES引擎

AX8052F143包含一个符合政府强制性高级加密标准(AES)的专用引擎。其配备有DMA引擎，可从XRAM读取输入数据以及密钥流数据，并将输出数据写入至XRAM的可编程缓冲器。可设置整数；因此芯片支持AES-128、AES-192、AES-256以及更高安全性的专用变量。密钥流(密钥扩展)在软件中执行，提升了AES引擎的灵活性。可直接支持ECB(电子编码本)、CFB(加密反馈)和OFB(输出反馈)模式，无需软件干预。

晶体振荡器和 TCXO 接口(RF 基准振荡器)

AX8052F143运行时一般要使用外部TCXO(大多数容差为0.5 ppm到1.5 ppm(具体依调节机制而定)的窄带调节都需要此器件)。从调节的角度看, 片上晶体振荡器允许使用便宜的石英晶体作为RF发生器子系统的计时基准。

晶体振荡器电路可处理的晶体频率范围非常广。由于基准频率影响发射器的频谱性能以及接收器的电流消耗, 因此, 应当根据针对应用而定的调节机制来选择基准频率。关于符合各种调节机制的AX5043用途的应用指南也适用于 AX8052F143。

必须选择晶体或TCXO基准频率, 使RF载波频率不是晶体或TCXO频率的整数倍数。

通过设置AX5043_PWRMODE寄存器来启用振荡器电路。通电时启用。若要根据使用的石英晶体调节电路特性, 而不使用额外的外部元件, 可设置晶体振荡器的调谐电容值。可自动调节振荡器的跨导, 以在稳态振荡期间实现最快的启动时间, 以及最低的功耗。

集成式可编程电容组可将振荡器直接连接至引脚CLK16N和CLK16P, 而无需外部电容。可使用寄存器AX5043_XTALCAP中的XTALCAP[5:0] 位进行编程。

若要将接收器频率与载波信号同步, 可使用电容组调节振荡器频率, 但建议的频率同步方法时充分利用高分辨率RF频率产生子系统以及自动频率控制, 下面将作进一步说明。

或者, 可使用单端参考(TXCO, CXO)。CMOS电平应当通过与所启用晶体振荡器进行AC耦合的方式应用至CLK16P。有关根据TCXO输出摆幅对TCXO网络提供的详细建议, 请参阅AX5043应用指南: 使用TCXO参考时钟。

低功耗振荡器和无线电唤醒 (WOR) 模式

AX8052F143收发器配有一个功耗最低的完全集成式内部振荡器。在默认模式下, 振荡频率为640 Hz \pm 1.5%, 在快速模式下, 则为10.2 kHz \pm 1.5%。

如果启用无线电唤醒模式, 接收器将以用户选择的时间间隔定期醒来, 并检查所选信道的无线电信号。如果没有检测到信号, 接收器将再次关闭。如果检测到无线电信号, 且收到有效的数据包, 则通过确认中断来提醒微控制器。

SYSCLK 输出

SYSCLK引脚输出已按照可设置的整数进行分频的RF基准时钟信号。可分频范围为1至2048。对于分频器分频比>1的情况, 占空比为50%。AX5043_PINCFG 1寄存器中的SYSCLK[3:0]位用于设置分频器分频比。可禁用SYSCLK输出。

上电复位(POR)和RESET_N输入

AX8052F143带有对VDD_IO边缘敏感的集成式上电复位模块。对于许多常见用例, 无需外部复位电路。然而, 如果无法保证VDD_IO斜坡, 则建议使用外部复位电路。相关建议和要求, 请参阅AX8052应用指南: 上电复位。

进行上电复位或复位后, 所有寄存器将被设为默认值。

RESET_N引脚包含弱上拉功能。然而, 强烈建议在不使用时将RESET_N引脚连接至VDD_IO, 以便提升可靠性。

AX8052F143也可通过软件复位。将1写入PCON寄存器中的SWRESET位, 即可将微控制器复位。依次将1和0写入AX5043_PWRMODE寄存器中的RST位, 即可将收发器复位。

端口

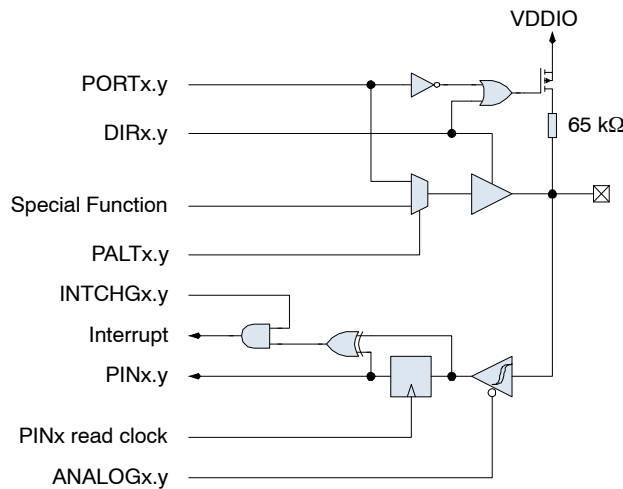


Figure 10. Port Pin Schematic

图10显示了GPIO逻辑。DIR寄存器位决定了端口引脚是用作输出(1)还是输入(0)。

如果配置为输出, PALT寄存器位将决定端口引脚是连接至周边设备输出(1)还是用作GPIO引脚(0)。在后

一种情况下，PORT寄存器位将决定端口引脚驱动值。

如果配置为输入，PORT寄存器位将决定是启用(1)还是禁用(0)上拉电阻。输入具有施密特触发器特性。端口A输入可通过设置ANALOGA寄存器位来禁用；当引脚用作模拟输入时，如果端口引脚的电压电平介于逻辑低电平与逻辑高电平之间，这可防止额外的电流消耗。

如果电平发生变化，端口A、B和C引脚可中断微控制器。INTCHG寄存器位可启用中断。引脚寄存器位反映了端口引脚的值。如果启用“变化时中断”，读取引脚寄存器也会复位中断。

PWRAMP 和 ANTSEL

如果将PALTRADIO位设为6、将DIRB位设为2，PB2上的PWRAMP功能将变为可用。如果将PALTRADIO位设为7、将DIRB位设为3，PB3上的ANTSEL功能将变为可用。如果这些引脚应设为高阻抗，则必须清除相应的DIRB位，而非将AX5043_PINFUNCPWRAMP或AX5043_PINFUNCANTSEL设为Z。

收发器

收发器模块可通过其寄存器控制，而这些寄存器将被映射至微控制器的X数据空间。收发器模块本身配备有4字×10位FIFO。可根据FIFO填满程度(可编程)中断微控制器，或指示其中一个DMA信道，在XRAM与收发器FIFO之间传输数据。

RF频率产生子系统

RF频率产生子系统包含一个完全集成的合成器，这可成倍提升晶体振荡器的基准频率，以获得所需RF频率。合成器的先进架构可实现1 Hz的频率分辨率，以及5 - 50 μ s的快速稳定时间，具体取决于设置(请参阅“AC特性”部分)。快速稳定时间意味着快速启动和快速切换RX/TX，从而实现低功耗系统设计。

对于接收操作，RF频率将馈送至混合器，对于发射操作，将馈送至功率放大器。

频率必须设置为所需载波频率。

可设置合成器环路带宽，用于以下三种用途：

1. 启动时间优化，合成器环路带宽越大，启动时间越快
2. TX频谱优化，通过较小的更小的合成器环路带宽改善距离载波器为300 kHz至1 MHz处的相位噪声
3. 调整带宽以适应数据速率。对于FSK和MSK传输，要求合成器带宽必须与数据速率一致。

VCO

片上VCO可将电荷泵和环路滤波器产生的控制电压转换为输出频率。此频率用于发射和接收操作。可在AX5043_FREQ寄存器中以1 Hz的步长设置此频率。对于433 MHz波段操作，必须设置AX5043_PLLVCODIV寄存器中的RFDIV位。

完全集成的VCO允许器件在800 - 1050 MHz和400 - 520 MHz的频率范围内运行。通过在器件引脚L1和L2之间使用适当的外部电感，可将载波频率范围延伸至54 - 525 MHz和27 - 262 MHz。为进入此模式，必须将AX5043_PLLVCODIV寄存器中的VCO2INT位和VCOSEL位必须设置为高。

此外，还可将AX5043_PLLVCODIV寄存器中的VCO2INT位设置为0、将VCOSEL位设置为1，以使用一个完全外部VCO。必须在器件引脚L1和L2输入一个频率为所需RF频率两倍的差分输入。使用外部滤波模

式时，可在器件引脚FILT处输出VCO控制电压。此输出引脚的电压范围为0 - 1.8 V。建议将此工作模式用于以下特殊应用情况：使用完全内部VCO或带有外部电感的内部VCO时，无法满足相位噪声要求。

VCO自动范围调节

AX8052F143具备集成式自动范围调节功能，可以针对特定的频率产生子系统设置，自动设置正确的VCO范围。一般必须在通电后执行此功能。通过设置AX5043_PLLRANGINGA或AX5043_PLLRANGINGB寄存器中的RNG_START位，可启动此功能。该位可读，0表示范围调节过程结束。设置AX5043_PLLRANGINGA寄存器中的RNG_START可调节AX5043_FREQA的频率范围，而设置AX5043_PLLRANGINGB寄存器中的RNG_START则可调节AX5043_FREQB的频率范围。RNGERR位指示自动范围调节是否正确执行。VCO自动范围调节功能适用于完全集成的VCO和带有外部电感的VCO。

环路滤波器和电荷泵

AX8052F143内部环路滤波器配置与电荷泵电流共同设置了合成器环路带宽。内部环路滤波器有三项配置，可通过寄存器AX5043_PLLLOOP或AX5043_PLLLOOPBOOST中的FLT[1:0]设置；电荷泵电流可使用寄存器AX5043_PLLCPI或AX5043_PLLCPIBOOST中的PLLCPI[7:0]设置。合成器带宽典型值为50 - 500 kHz，具体取决于AX5043_PLLLOOP或AX5043_PLLLOOPBOOST设置，相关详细信息，请参阅：“AC特性”部分。

AX8052F143可通过以下方式设置：合成器启动时，首先将寄存器AX5043_PLLLOOPBOOST和AX5043_PLLCPIBOOST中的设置应用一段时间(此段时间可设置)，然后再还原成AX5043_PLLLOOP和AX5043_PLLCPI此功能可实现最快速的自动启动。

将FLT[1:0]位设置为00，可绕过内部环路滤波器，且VCO控制电压将输出至引脚FILT的外部环路滤波器。推荐使用此工作模式，以实现比使用内部环路滤波器时更低的带宽，建议将此工作模式与完全外部VCO配合使用。

寄存器

Table 22. RF FREQUENCY GENERATION REGISTERS

Register	Bits	Purpose
AX5043_PLLLOOP AX5043_PLLLOOPBOOST	FLT[1:0]	Synthesizer loop filter bandwidth and selection of external loop filter, recommended usage is to increase the bandwidth for faster settling time, bandwidth increases of factor 2 and 5 are possible.
AX5043_PLLCPI AX5043_PLLCPIBOOST		Synthesizer charge pump current, recommended usage is to decrease the bandwidth (and improve the phase-noise) for low data-rate transmissions.
AX5043_PLLVCODIV	REFDIV	Sets the synthesizer reference divider ratio.
	RFDIV	Sets the synthesizer output divider ratio.
	VCOSEL	Selects either the internal or the external VCO
	VCO2INT	Selects either the internal VCO inductor or an external inductor between pins L1 and L2
AX5043_FREQA, AX5043_FREQB		Programming of the carrier frequency
AX5043_PLLRANGINGA, AX5043_PLLRANGINGB		Initiate VCO auto-ranging and check results

RF输入和输出级(ANTP/ANTN/ANTP1)

AX8052F143具有两种主天线接口模式:

1. RX和TX均使用差分引脚ANTP和ANTN。
RX/TX切换在内部处理。推荐使用此模式，以实现最高输出功率、最高灵敏度，以及直接连接至偶极天线。另请参见图15。
2. RX使用差分天线引脚ANTP和ANTN。TX使用单端天线引脚ANTP1。RX/TX切换在外部处理。可使用RX/TX切换开关或直接连接配置完成切换。推荐使用此模式，以实现图18中的高效率 and 低输出功耗，建议将此模式与图17中的外部功率放大器配合使用。

器件与外部PA配合使用时，可使用引脚PB2来控制外部RX/TX切换开关(图17)。使用两根天线接收时，可使用引脚PB3来控制外部天线开关(图19)。启用天线分集时，无线电控制器在未接收数据包时，将定期探测天线并选择具有最高信号强度的天线。可指示无线电控制器定期将RSSI值写入FIFO。天线分集模式完全自动运行。

LNA

LNA可放大来自天线的差分RF信号，并将信号缓冲以驱动I/Q混合器。可使用外部匹配网络将天线阻抗调至IC阻抗。必须在天线引脚提供DC馈送信号至GND。

PA

在TX模式中，PA将频率产生子系统产生的信号输出至差分天线端子或单端天线引脚。通过寄存器AX5043_MODECFG中的TXDIFF位和TXSE位选择天线端子。

PA的输出功率通过寄存器AX5043_TXPWRCOEFFB设置。

PA能以数字方式发生预失真，以实现高线性度。

输出幅度可整形(升余弦)，通过寄存器AX5043_MODECFG中的AMPLSHAPE位选择此模式时。PA斜坡能以位时间为增量进行设置，并且可通过寄存器AX5043_MODECFG中的SLOWRAMP位，设为1-8位时间。

输出功率以及谐波量取决于PA可见的外部阻抗。

数字 IF 信道滤波器和解调器

数字IF信道滤波器和解调器从输入的IF信号提取数据位流。必须进行编程以符合调制机制以及数据速率。不准确的编程将导致灵敏度降低。

信道滤波器提供995 Hz至221 kHz的带宽。

AXSEMRadioLab软件可计算实现最佳性能所需的寄存器设置。下表提供了所涉及寄存器的概况，详情请参阅AX5043编程手册。一般在器件通电后，必须立即进行寄存器设置。

寄存器

Table 23. CHANNEL FILTER AND DEMODULATOR REGISTERS

Register	Remarks
AX5043_DECIMATION	This register programs the bandwidth of the digital channel filter.
AX5043_RXDATARATE2... AX5043_RX-DATARATE0	These registers specify the receiver bit rate, relative to the channel filter bandwidth.
AX5043_MAXDROFFSET2... AX5043_MAXDROFFSET0	These registers specify the maximum possible data rate offset
AX5043_MAXRFOFFSET2... AX5043_MAXRFOFFSET0	These registers specify the maximum possible RF frequency offset
AX5043_TIMEGAIN, AX5043_DRGAIN	These registers specify the aggressiveness of the receiver bit timing recovery. More aggressive settings allow the receiver to synchronize with shorter preambles, at the expense of more timing jitter and thus a higher bit error rate at a given signal-to-noise ratio.
AX5043_MODULATION	This register selects the modulation to be used by the transmitter and the receiver, i.e. whether ASK, FSK should be used.
AX5043_PHASEGAIN, AX5043_FREQGAINA, AX5043_FREQGAINB, AX5043_FREQGAINC, AX5043_FREQGAIND, AX5043_AMPLGAIN	These registers control the bandwidth of the phase, frequency offset and amplitude tracking loops.
AX5043_AGCGAIN	This register controls the AGC (automatic gain control) loop slopes, and thus the speed of gain adjustments. The faster the bit-rate, the faster the AGC loop should be.
AX5043_TXRATE	These registers control the bit rate of the transmitter.
AX5043_FSKDEV	These registers control the frequency deviation of the transmitter in FSK mode. The receiver does not explicitly need to know the frequency deviation, only the channel filter bandwidth has to be set wide enough for the complete modulation to pass.

编码器

编码器位于组帧单元、解调器和调制器之间。可选择通过以下方式转换位流。

- 可反转位流。
- 可执行差分编码。这意味着电平无变化时传输0，电平有变化时传送1。
- 可执行曼彻斯特编码。曼彻斯特编码确保调制无DC内容且具有足够的转换次数(从0转换为1，以及从1转换为0)，使解调器位计时恢复功能正常工作，但这会使数据速率翻倍。
- 可执行频谱整形(也称为白化)频谱整形将移除位流的DC内容，确保足够的转换此时，以实现解调器位计时恢复，并确保即使循环传输数据，发射频谱仍不会有分立谱线。无需增加额外位即可完成，即无需更改数据速率。频谱整形使用自同步反馈移位寄存器。

使用寄存器AX5043_ENCODING对编码器进行编码，相关详情及使用建议，请参见AX5043编程手册。

组帧和FIFO

如今大多数无线电系统都将数据分组成数据包。组帧单元负责将这些数据包转换为适用于调制器的位流，并从来自解调器的持续位流提取数据包。

组帧单元支持两种不同的模式：

- 数据包模式
- 原始模式

微控制器通过256byteFIFO与组帧单元通信。FIFO中的数据以区块为单位整理。区块标头对长度以及负载中包含哪些数据进行编码。区块可能不但包含数据包数据，还包含RSSI、频率补偿、时间戳等。

AX8052F143包含一个FIFO。根据所选的是发射模式还是接收模式，可以切换其方向。FIFO可在轮询或中断驱动模式下工作。在轮询模式中，微控制器必须定期读取FIFO状态寄存器或FIFO计数寄存器，以确定FIFO是否需要服务。

在中断模式中，提供EMPTY、NOT EMPTY、FULL、NOTFULL和可编程级别的中断。通过移除中断原因，即清空或填满FIFO，来确认中断。

若要降低微控制器上的中断负载，可指示其中一个DMA信道传输数据。

在收发器FIFO和XRAM存储器之间。通过这种方式，可在XRAM中设置许多大缓存区，只有在大XRAM缓存区填满或清空才需要运行中断。

数据包模式

AX8052F143提供不同的数据包模式。对于任意数据包大小，推荐使用HDLC，这是因为采用了标志和位填充机制。AX8052F143还提供固定数据包长度的数据包模式，使用字节表示数据包长度。

在数据包模式中，可自动运算CRC。HDLC模式是AX8052F143的主要组帧模式。在此模式中，AX8052F143执行自动数据包界定，并通过插入和校

AX8052F143

验循环冗余校验(CRC)字段检查数据包正确性(此功能可选)。

下表中列出了数据包结构。

注意: HDLC模式遵循高级数据链路控制(HDLC、ISO 13239)协议。

Table 24. HDLC PACKET STRUCTURE

Flag	Address	Control	Information	FCS	(Optional Flag)
8 bit	8 bit	8 or 16 bit	Variable length, 0 or more bits in multiples of 8	16 / 32 bit	8 bit

HDLC数据包通过内容0x7E的标志序列界定。在AX8052F143中,地址和控制的含义由用户定义。帧校验序列(FCS)可设置为CRC-CCITT、CRC-16或CRC-32。

接收器校验CRC,可从FIFO检索结果,CRC将附加至接收的数据。

无线M-Bus模式中的数据包结构详见下表。

注意: 无线M-Bus模式遵循EN13757-4标准

Table 25. WIRELESS M-BUS PACKET STRUCTURE

Preamble	L	C	M	A	FCS	Optional Data Block (optionally repeated with FCS)	FCS
variable	8 bit	8 bit	8 bit	8 bit	16 bit	8 - 96 bit	16 bit

关于实现HDLC通信以及有关无线M-Bus的详细信息,请使用AXSEM RadioLab软件并参阅AX5043编程手册。

原始模式

在原始模式中,AX8052F143不执行任何数据包界定或字节同步。它只是将传输字节序列化,将接收到的位流反序列化,并将其分组成字节。此模式特别适合在软件中执行之前的协议。

带前置码匹配的原始模式与原始模式类似。但在此模式中,接收器不接收任何数据,直到在接收位流中检测到用户编程的位流(称为前置码)。检测到前置码后,将对其进行反序列化。

前置码长度为4和32比特。

范围内。寄存器AX5043_AGCCOUNTER包含AGC的电流值,可用作RSSI。此RSSI的步长为0.625 dB。设置RF频率产生子系统后,即可使用该值。

2. 数字IF信道滤波器之后的RSSI。寄存器AX5043_RSSI包含位于数字IF信道滤波器之后的RSSI电流值。此RSSI的步长为1 dB。
3. 高精度数字IF信道滤波器之后的RSSI。解调器还在AX5043_TRK_AMPLITUDE寄存器中提供了幅度信息。通过结合AX5043_AGCCOUNTER和AX5043_TRK_AMPLITUDE寄存器,可计算高分辨率(优于0.1 dB)RSSI值,但这会影响微控制器上的一些算术运算。AXSEM RadioLab软件可计算实现最佳性能所需的寄存器设置。

RX AGC 和 RSSI

AX8052F143具有三个接收器信号强度指示器(RSSI):

1. 数字IF信道滤波器之前的RSSI。调节接收器增益使IF滤波器输出电平在ADC和解调器的工作

调制器

根据发射器设置,调制器可为PA产生各种输入:

Table 26. MODULATIONS

Modulation	Bit = 0	Bit = 1	Main Lobe Bandwidth	Max. Bitrate
ASK	PA off	PA on	BW = BITRATE	125 kBit/s
FSK/MSK/GFSK/GMSK	$\Delta f = -f_{\text{deviation}}$	$\Delta f = +f_{\text{deviation}}$	$BW = (1 + h) \cdot \text{BITRATE}$	125 kBit/s
PSK	$\Delta\Phi = 0^\circ$	$\Delta\Phi = 180^\circ$	BW = BITRATE	125 kBit/s

h = 调制指数。即偏差与比特率的比; $f_{\text{deviation}} = 0.5 \cdot h \cdot \text{比特率}$, AX8052F143可调制 $h < 32$ 的信号。

ASK = 幅移键控

FSK = 频移键控

MSK = 最小频移键控; MSK是FSK的一种特殊情况,其中 $h = 0.5$, 因此

$f_{\text{deviation}} = 0.25 \cdot \text{比特率}$; 与FSK相比, MSK的优势是可进行更稳健的调制。

PSK = 相移键控

所有调制机制(4-FSK除外)均采用二进制。使用升余弦波形可对振幅整形。

AX8052F143

还可针对恒幅调制((G)FSK、(G)MSK)进行振幅整形，以使PA斜升和斜降。应始终启用振幅整形。

频率整形可以是硬整形(FSK, MSK)或高斯整形(GMSK, GFSK)，可选择BT = 0.3或BT = 0.5。

Table 27. 4-FSK MODULATION

Modulation	DiBit = 00	DiBit = 01	DiBit = 11	DiBit = 10	Main Lobe Bandwidth	Max. Bitrate
4-FSK	$\Delta f = -3f_{\text{deviation}}$	$\Delta f = -f_{\text{deviation}}$	$\Delta f = +f_{\text{deviation}}$	$\Delta f = +3f_{\text{deviation}}$	$BW = (1 + 3 h) \cdot \text{BITRATE}$	125 kBit/s

4-FSK频率整形始终为硬整形。

$$\Delta f = \frac{\text{AX5043_TRKRFFREQ}}{2^{32}} f_{\text{XTAL}}$$

自动频率控制 (AFC)

AX8052F143具备自动频率跟踪环路，能够在RX滤波器带宽内跟踪发射器频率。AX8052F143上方设有一个频率跟踪寄存器AX5043_TRKRFFREQ，用于将接收器频率与载波信号同步。对于AFC调节，可使用以下等式计算频率补偿：

PWRMODE 寄存器

AX8052F143收发器自带独立电源管理功能，不受微控制器影响。虽然微控制器电源模式通过PCON寄存器控制，但AX5043_PWRMODE寄存器将控制运行收发器的哪些部分。

Table 28. PWRMODE REGISTER

AX5043_PWRMODE Register	Name	Description
0000	POWERDOWN	All digital and analog functions, except the register file, are disabled. The core supply voltages are switched off to conserve leakage power. Register contents are preserved. Access to the FIFO is not possible and the contents are not preserved. POWERDOWN mode is only entered once the FIFO is empty.
0001	DEEPSLEEP	The transceiver is fully turned off. All digital and analog functions are disabled. All register contents are lost. To leave DEEPSLEEP mode the pin SEL has to be pulled low. This will initiate startup and reset of the transceiver. Then the MISO line should be polled, as it will be held low during initialization and will rise to high at the end of the initialization, when the chip becomes ready for operation. It is recommended to use the functions ax5043_enter_deepsleep() and ax5043_wake-up_deepsleep() provided in libmf
0101	STANDBY	The crystal oscillator and the reference are powered on; receiver and transmitter are off. Register contents are preserved and accessible. Access to the FIFO is not possible and the contents are not preserved. STANDBY is only entered once the FIFO is empty.
0110	FIFO	The reference is powered on. Register contents are preserved and accessible. Access to the FIFO is possible and the contents are preserved.
1000	SYNTHRX	The synthesizer is running on the receive frequency. Transmitter and receiver are still off. This mode is used to let the synthesizer settle on the correct frequency for receive.
1001	FULLRX	Synthesizer and receiver are running.
1011	WOR	Receiver wakeup-on-radio mode. The mode the same as POWERDOWN, but the 640 Hz internal low power oscillator is running.
1100	SYNHTX	The synthesizer is running on the transmit frequency. Transmitter and receiver are still off. This mode is used to let the synthesizer settle on the correct frequency for transmit.
1101	FULLTX	Synthesizer and transmitter are running. Do not switch into this mode before the synthesizer has completely settled on the transmit frequency (in SYNHTX mode), otherwise spurious spectral transmissions will occur.

Table 29. A TYPICAL AX5043_PWRMODE SEQUENCE FOR A TRANSMIT SESSION

Step	PWRMODE	Remarks
1	POWERDOWN	
2	STANDBY	The settling time is dominated by the crystal used, typical value 3ms.
3	FULLTX	Data transmission
4	POWERDOWN	

Table 30. A TYPICAL AX5043_PWRMODE SEQUENCE FOR A RECEIVE SESSION

Step	PWRMODE [3:0]	Remarks
1	POWERDOWN	
2	STANDBY	The settling time is dominated by the crystal used, typical value 3ms.
3	FULLRX	Data reception
4	POWERDOWN	

电压调节器

AX8052F143收发器使用自带的专用片上电压调节系统，为主电源VDD_IO的内部电路提供稳定的电源电压。数字引脚的I/O电平为VDD_IO。

引脚VDD_ANA用于片上PA所用电源的外部解耦。

电压调节系统必须先设置为适当的状态，然后再启动接收或发射操作。通过AX5043_PWRMODE寄存器设置器件模式时，会自动完成上述设置。

寄存器AX5043_POWSTAT包含可读取的状态位，以检验调节后的电压是否就绪(SVIO位)或者VDD_IO是否降至1.3 V(SSUM位)的欠压水平以下。

在断电模式中，数字和模拟功能的核心电源电压将关闭，以最大限度地降低泄露功耗。大多数寄存器内容将会保存，但无法访问FIFO且FIFO内容将会丢失。

在深度睡眠模式中，所有电源电压将会关闭。所有数字和模拟功能将被禁用。所有寄存器内容将会丢失。

应用信息

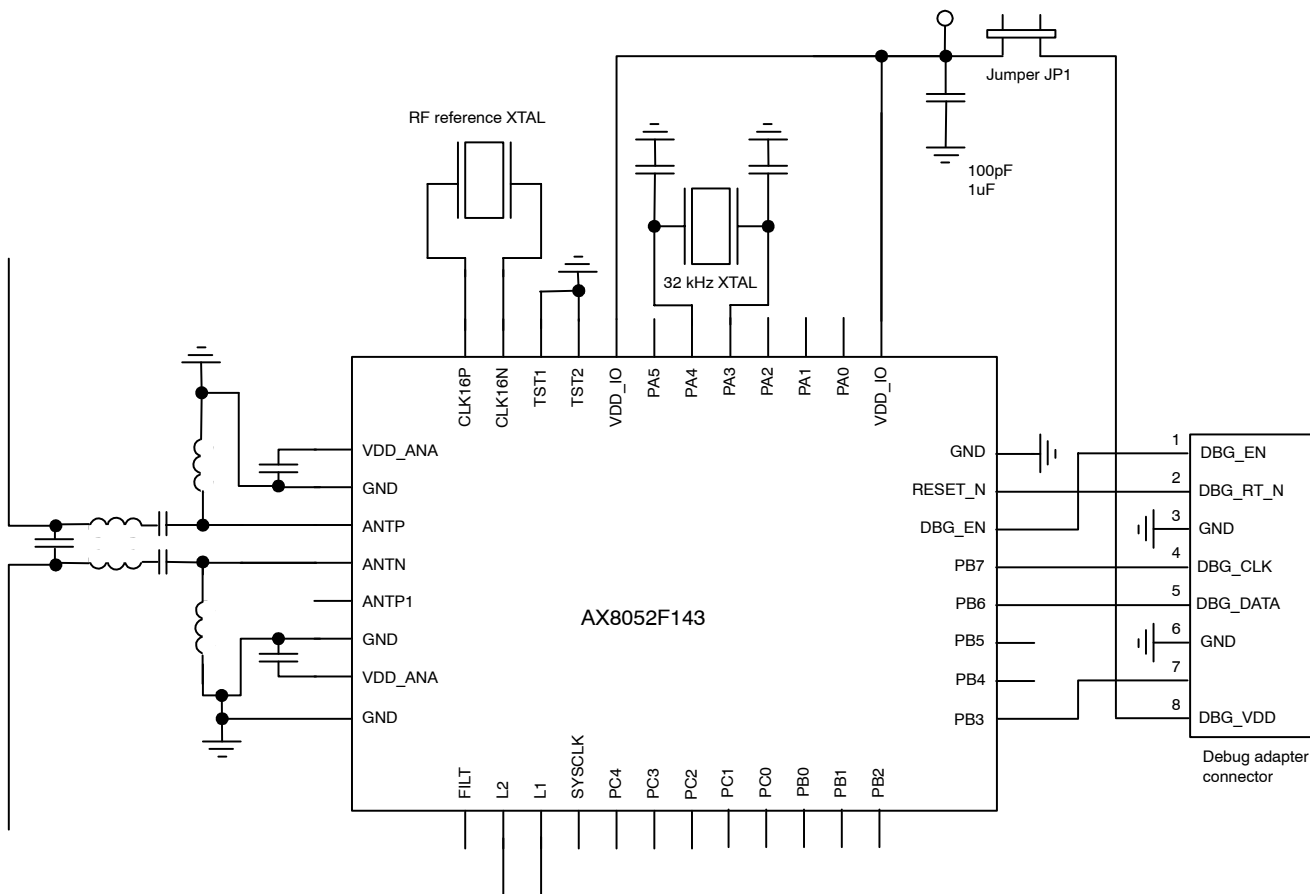
典型应用电路图
连接至调试适配器

Figure 11. Typical Application Diagram with Connection to the Debug Adapter

短跳线JP1-1(如果需要通过调试适配器(最大50mA)为目标电路板供电)将AX8052F143的底部外露焊盘接地。

如果调试器不运行，PB6和PB7则不由调试器适配器驱动。如果调试器运行，软件读取的PB6和PB7值可使用调试器的引脚仿真功能设置。

PB3仅由调试器驱动，以使AX8052F143退出深度睡眠模式。否则，则会产生高阻抗。

可选择32 kHz晶体，引脚CLK16N和CLK16P的快速晶体将用作RF RX/TX的基准频率。应当根据晶体数据表来选择晶体负载电容。在引脚CLK16N和CLK16P，可使用内部可编程电容；在引脚PA3和PA4，则必须连接外部电容。

对于差分天线引脚(868 / 433 MHz RX / TX运行), 则应与50 Ω相匹配。

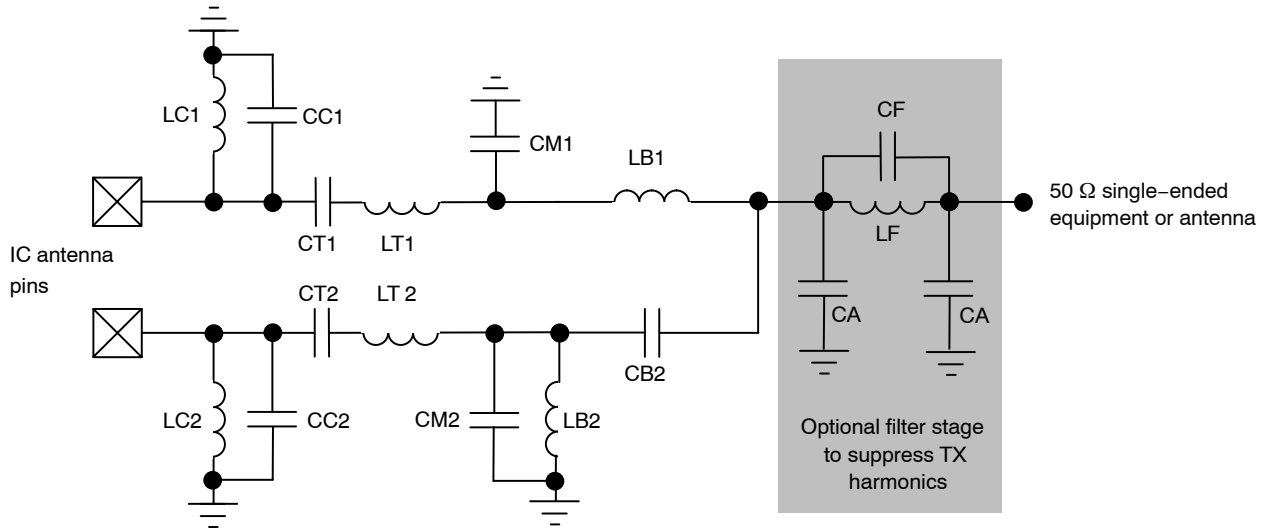


Figure 12. Structure of the Differential Antenna Interface for TX/RX Operation to 50 Ω Single-ended Equipment or Antenna

Table 31. TYPICAL COMPONENT VALUES

Frequency Band	LC _{1,2} [nH]	CC _{1,2} [pF]	CT _{1,2} [pF]	LT _{1,2} [nH]	CM ₁ [pF]	CM ₂ [pF]	LB _{1,2} [nH]	CB ₂ [pF]	CF [pF] optional	LF [nH] optional	CA [pF] optional
868 / 915 MHz	18	nc	2.7	18	6.2	3.6	12	2.7	nc	0 Ω	nc
433 MHz	100	nc	4.3	43	11	5.6	27	5.1	nc	0 Ω	nc
470 MHz	100	nc	3.9	33	4.7	nc	22	4.7	nc	0 Ω	nc
169 MHz	150	10	10	120	12	nc	68	12	6.8	30	27

对于单端天线引脚(868 / 915 / 433 MHz TX运行), 则应与50 Ω相匹配

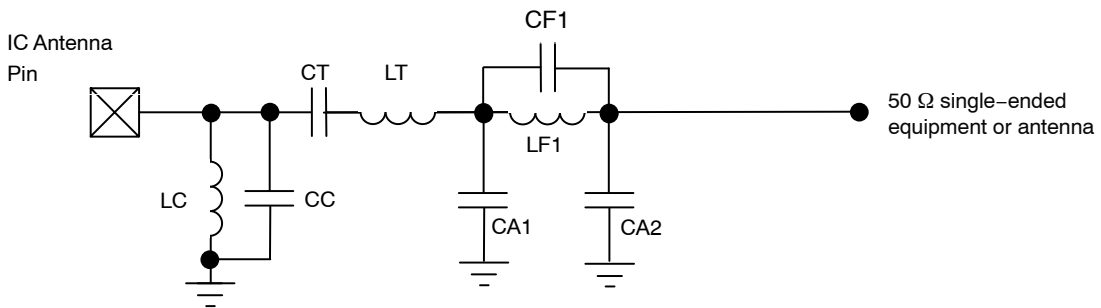


Figure 13. Structure of the Single-ended Antenna Interface for TX Operation to 50 Ω Single-ended Equipment or Antenna

Table 32. TYPICAL COMPONENT VALUES

Frequency Band	LC [nH]	CC [pF]	CT [pF]	LT [nH]	CF ₁ [pF]	LF ₁ [nH]	CA ₁ [pF]	CA ₂ [pF]
868 / 915 MHz	18	nc	2.7	18	3.6	2.2	3.6	nc
433 MHz	100	nc	4.3	43	6.8	4.7	5.6	nc

AX8052F143

对于单端天线引脚(169 MHz TX 运行), 则应与
50 Ω相匹配

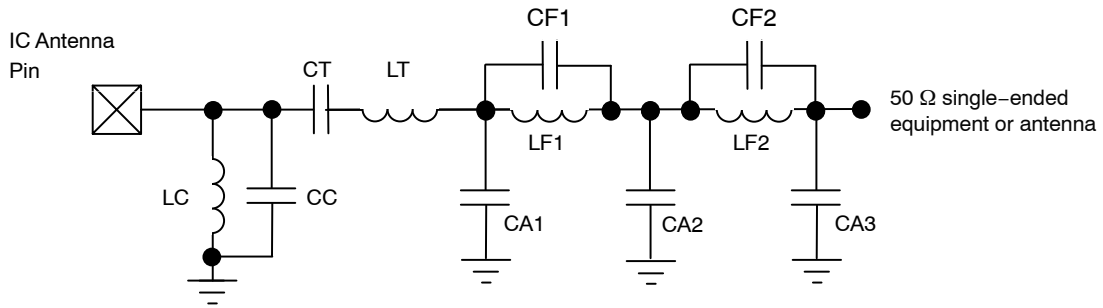


Figure 14. Structure of the Single-ended Antenna Interface for TX Operation to 50 Ω Single-ended Equipment or Antenna

Table 33. TYPICAL COMPONENT VALUES

Frequency Band	LC [nH]	CC [pF]	CT [pF]	LT [nH]	CF1 [pF]	LF1 [nH]	CF2 [pF]	LF2 [nH]	CA1 [pF]	CA2 [pF]	CA3 [pF]
169 MHz	150	2.2	22	120	4.7	39	1.8	47	33	47	15

使用偶极天线和内部TX/RX切换开关

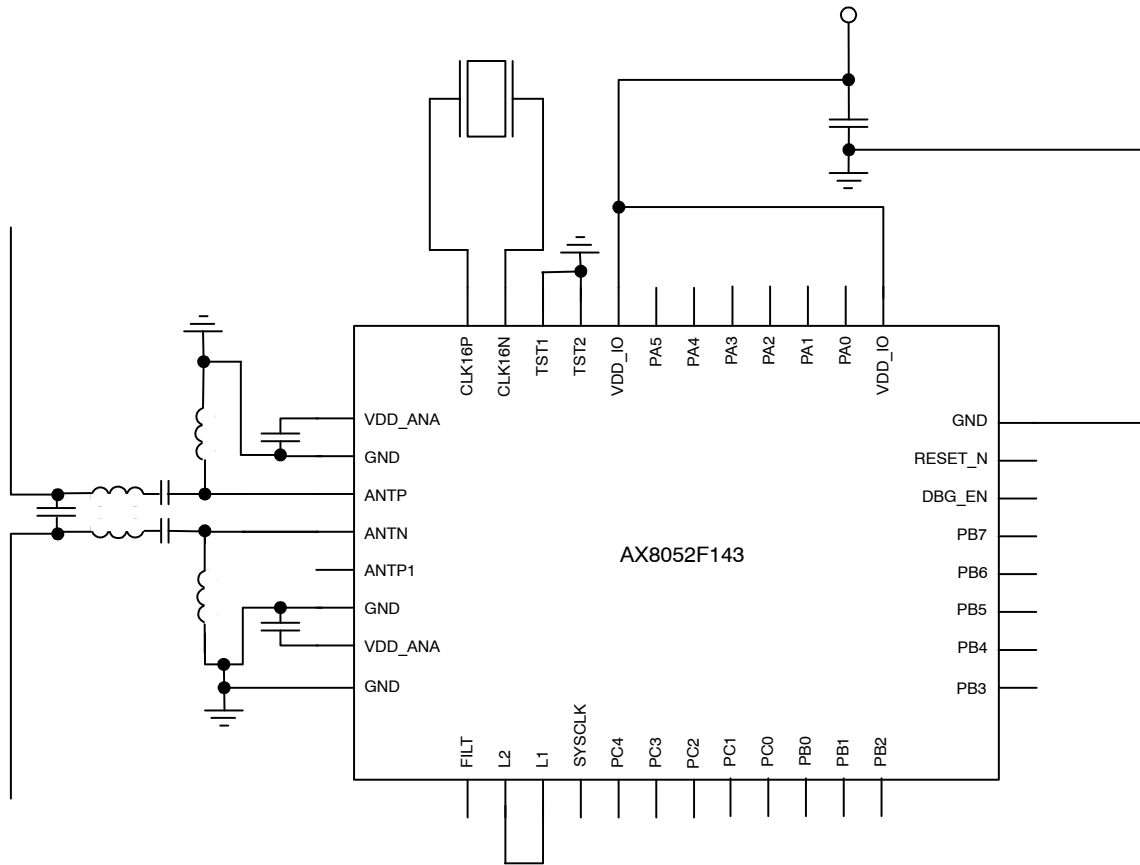


Figure 15. Typical Application Diagram with Dipole Antenna and Internal TX/RX Switch

AX8052F143

使用单端天线和内部TX/RX切换开关

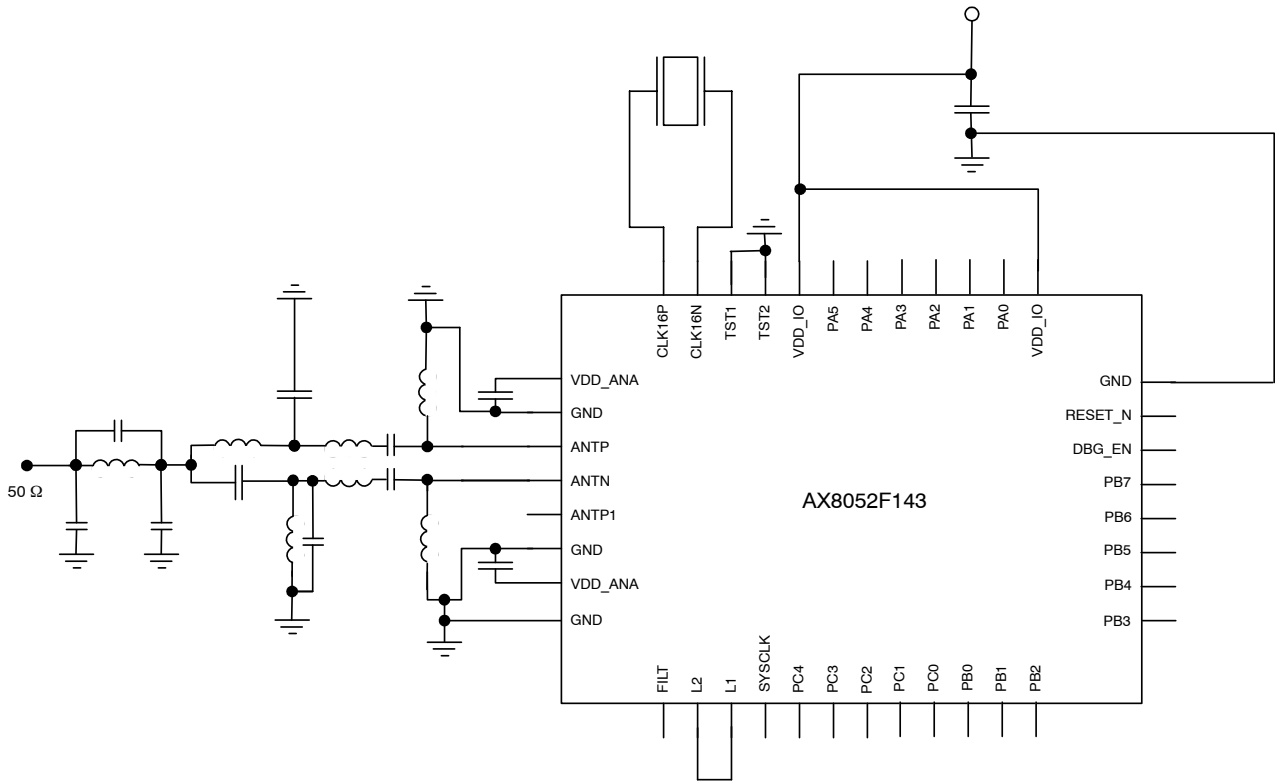


Figure 16. Typical Application Diagram with Single-ended Antenna and Internal TX/RX Switch

AX8052F143

使用外部高功耗PA和外部TX/RX切换开关

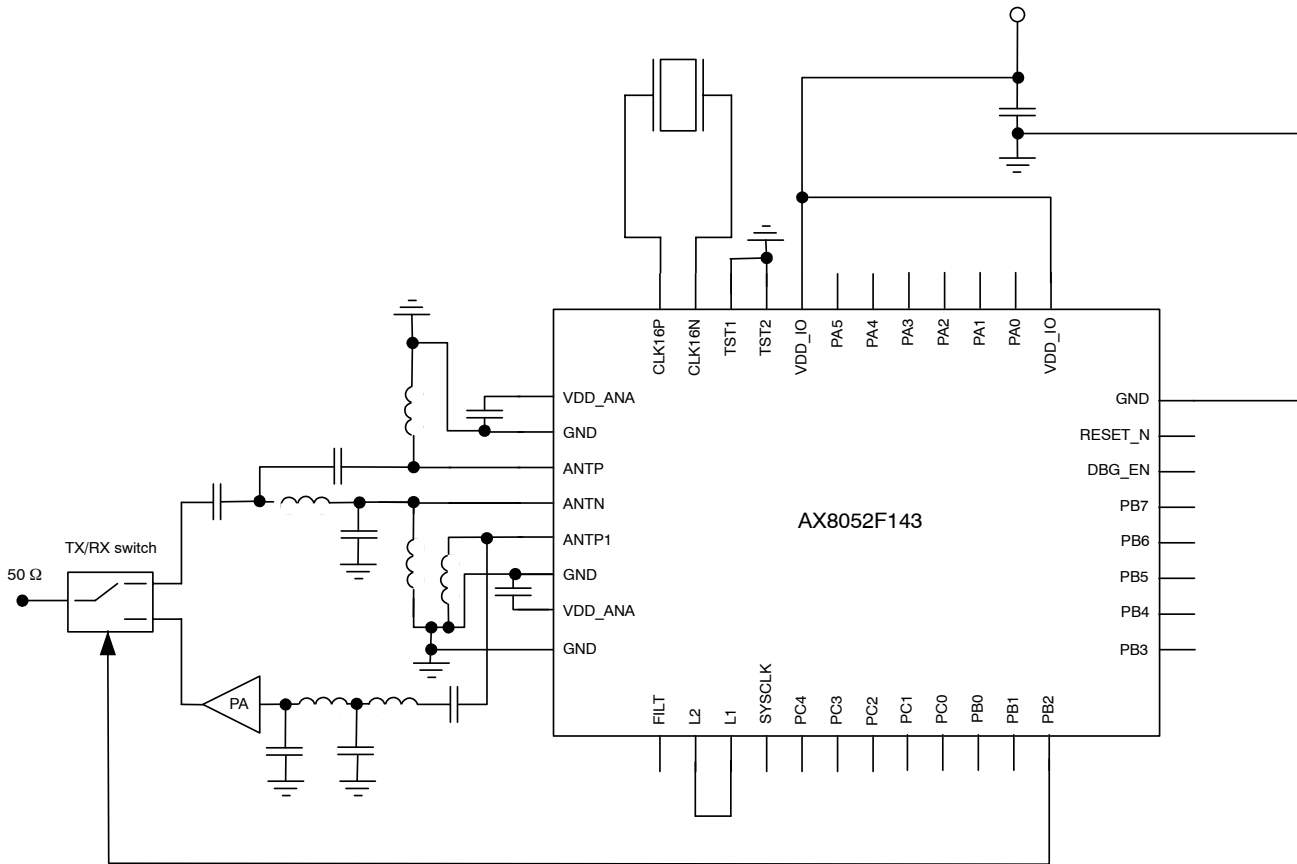


Figure 17. Typical Application Diagram with Single-ended Antenna, External PA and External Antenna Switch

AX8052F143

使用单端PA

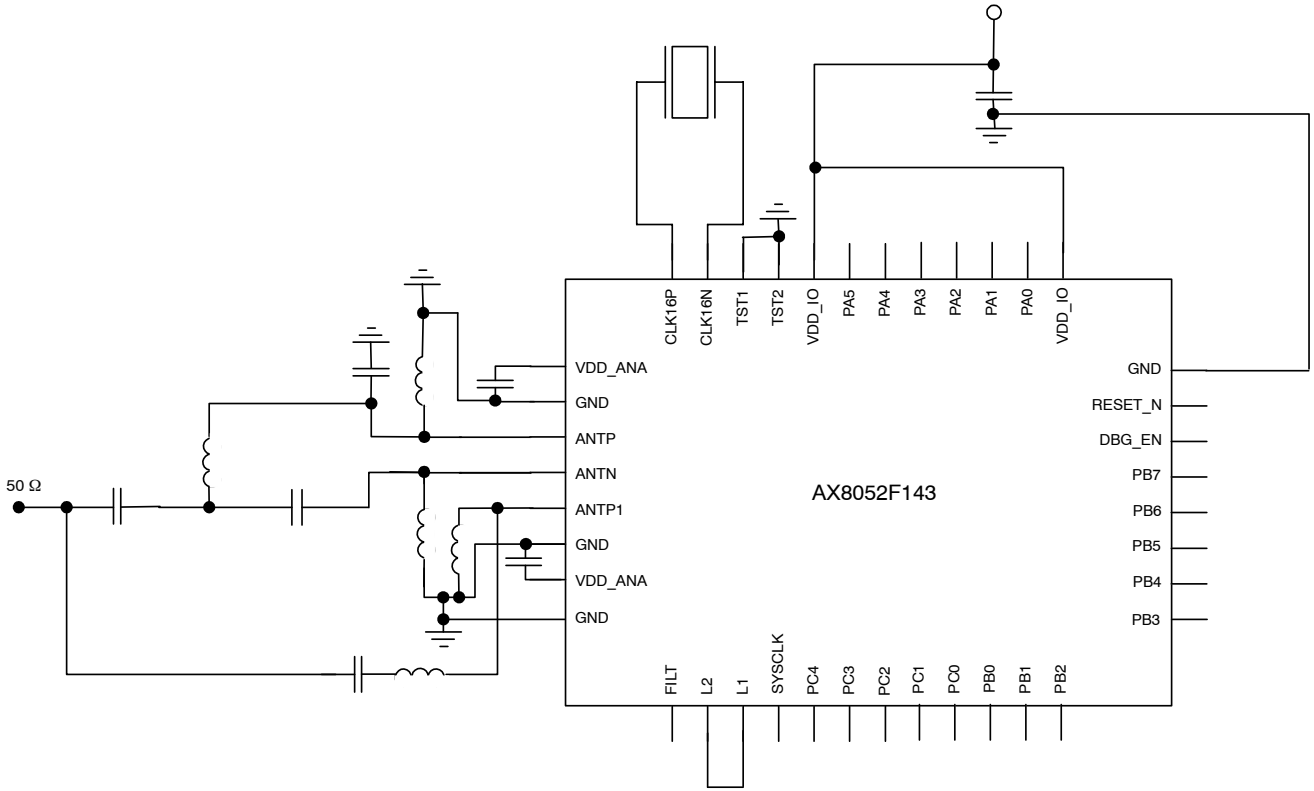


Figure 18. Typical Application Diagram with Single-ended Antenna, Single-ended Internal PA, without RX/TX Switch

注意： 关于执行此配置的详细信息和建议，请参阅
AX8052F143应用指南： 0 dBm / 8 mA
TX和9.5 mA RX配置(868 MHz波段)。

AX8052F143

使用两根天线

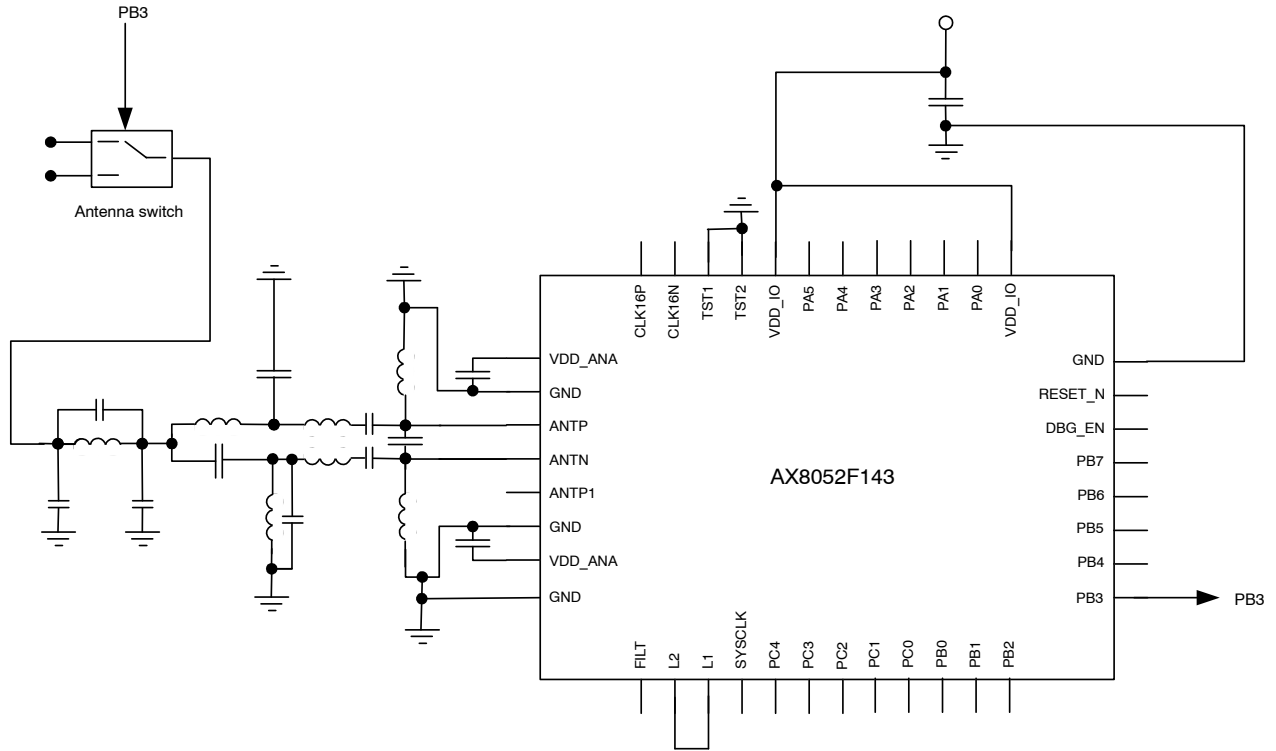


Figure 19. Typical Application Diagram with Two Single-ended Antenna and External Antenna Switch

AX8052F143

使用外部VCO电感

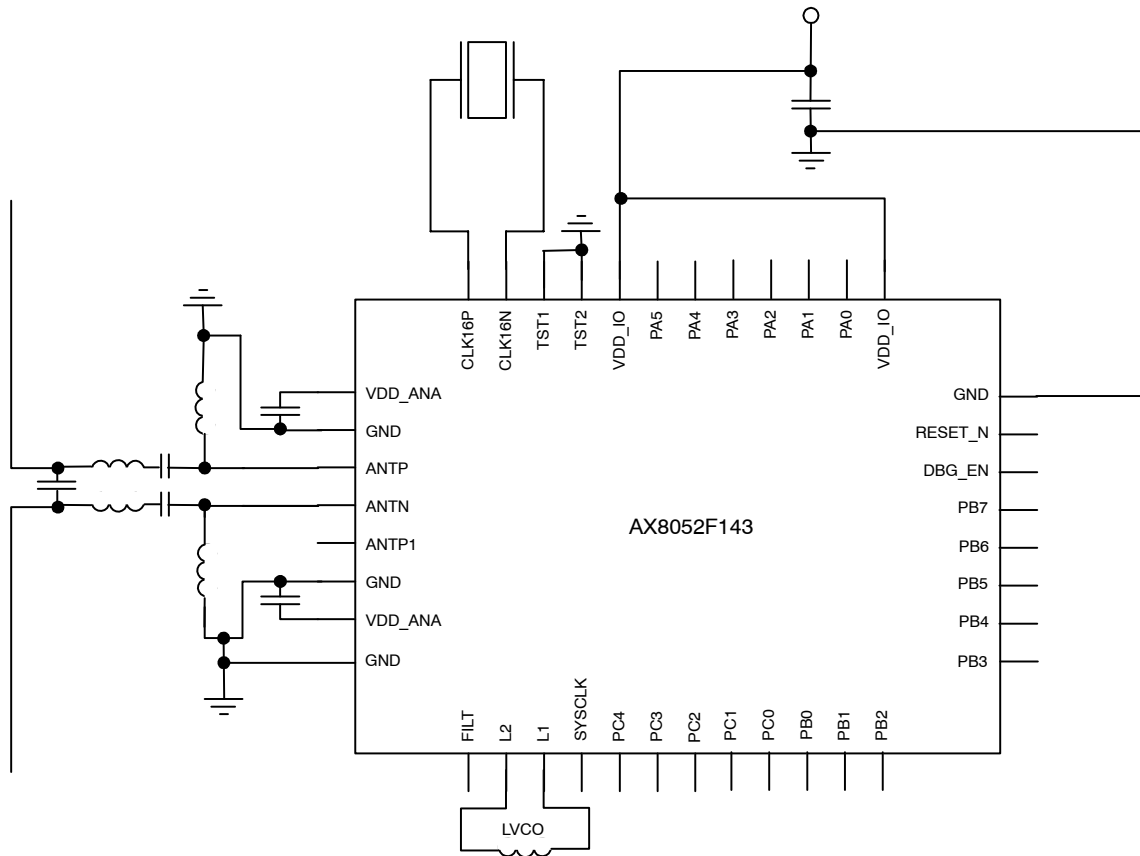


Figure 20. Typical Application Diagram with External VCO Inductor

AX8052F143

使用外部VCO

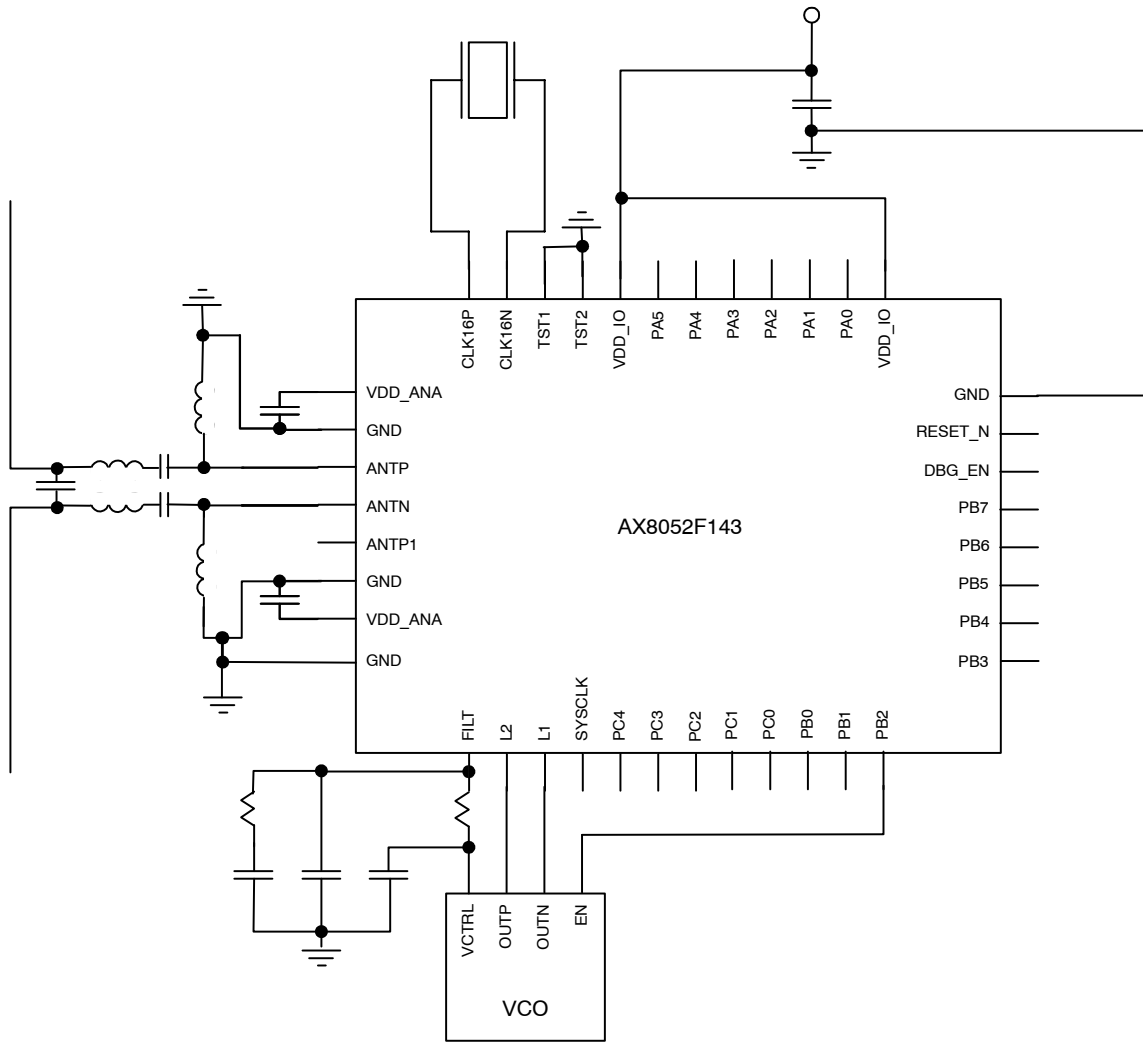


Figure 21. Typical Application Diagram with External VCO

使用TCXO

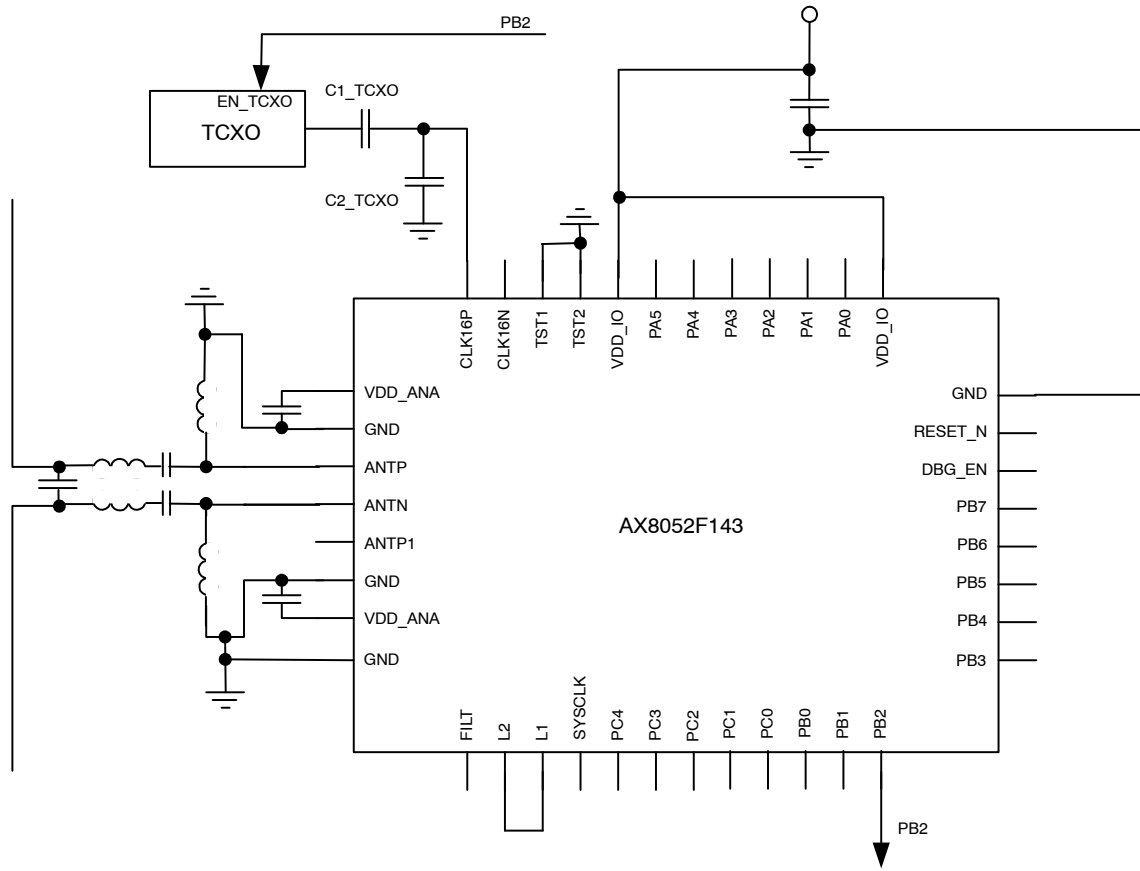


Figure 22. Typical Application Diagram with a TCXO

注意： 有关根据TCXO输出摆幅对TCXO网络提供的详细建议，请参阅AX5043应用指南：使用TCXO参考时钟。

QFN40焊接曲线

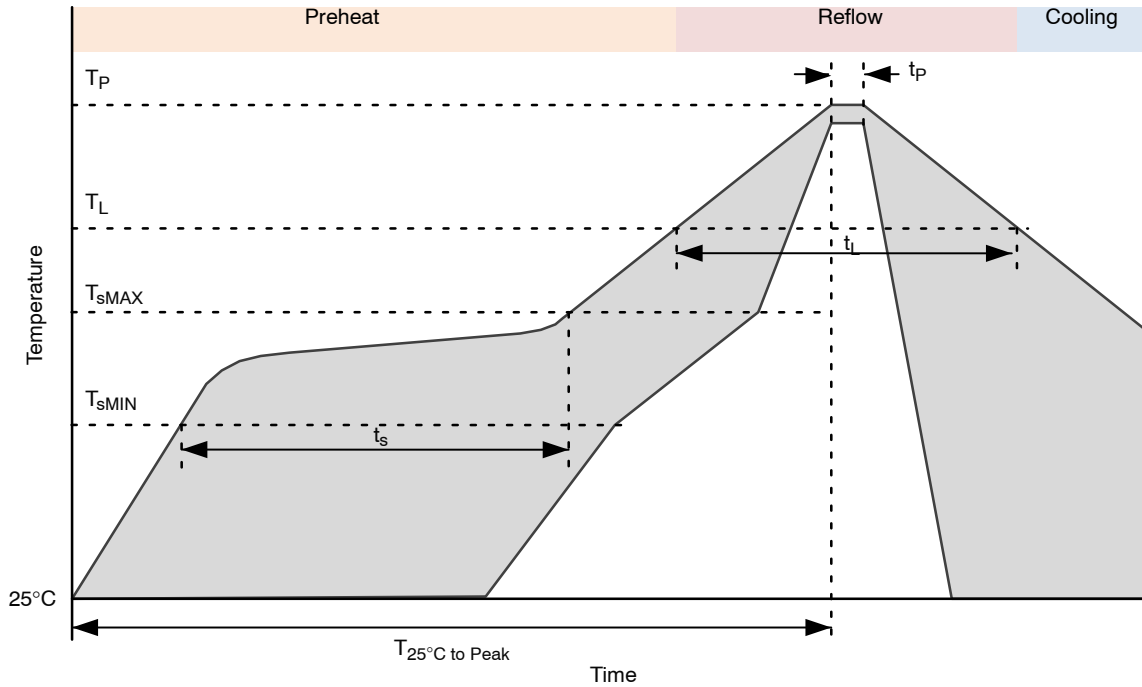


Figure 24. QFN40 Soldering Profile

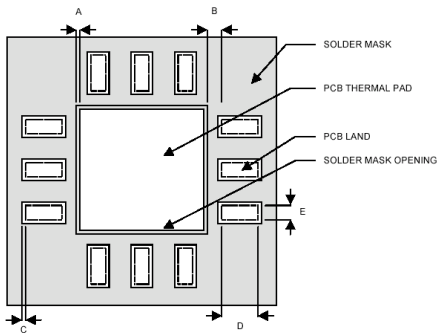
Table 34.

Profile Feature	Pb-Free Process
Average Ramp-Up Rate	3°C/s max.
Preheat Preheat	
Temperature Min T_{sMIN}	150°C
Temperature Max T_{sMAX}	200°C
Time (T_{sMIN} to T_{sMAX}) t_s	60 – 180 sec
Time 25°C to Peak Temperature $T_{25^\circ\text{C to Peak}}$	8 min max.
Reflow Phase	
Liquidus Temperature T_L	217°C
Time over Liquidus Temperature t_L	60 – 150 s
Peak Temperature t_p	260°C
Time within 5°C of actual Peak Temperature T_P	20 – 40 s
Cooling Phase	
Ramp-down rate	6°C/s max.

1. All temperatures refer to the top side of the package, measured on the the package body surface.

QFN40推荐焊盘布局

1. 关于PCB焊盘和焊料遮蔽的建议如图25所示。



- A = Clearance from PCB thermal pad to solder mask opening, 0.0635 mm minimum
- B = Clearance from edge of PCB thermal pad to PCB land, 0.2 mm minimum
- C = Clearance from PCB land edge to solder mask opening to be as tight as possible to ensure that some solder mask remains between PCB pads.
- D = PCB land length = QFN solder pad length + 0.1 mm
- E = PCB land width = QFN solder pad width + 0.1 mm

Figure 25. PCB Land and Solder Mask Recommendations

2. PCB热焊盘上应使用热过孔(中间接地焊盘), 以改善PCB反面从器件到铜接地区域的热导率。热过孔数量取决于封装的散热需求, 通过热模拟或实际测试确定。
3. 增加PCB热过孔的数量会改善背面接地区域和外部散热器的热导率。通常, 增加IC下方穿过PC板的金属会改善运行时的热传递效率, 但需要在组装时密切关注电路板是否均匀受热。

3. 对于PCB热焊盘, 应将焊膏印在PCB上, 方法是在模板上设计大量较小的开口, 开口总面积占QFN外露焊盘面积的50%。焊膏通过一系列方形(或圆形)区域涂敷, 如图26所示。
4. 信号焊盘的开口应当占QFN焊盘面积的50-80%, 如图27所示。
5. 或者, 为了更好地涂敷焊膏, 孔壁应当为梯形圆角。
6. IC引线的细小间距需要与模板和PCB准确对齐。涂抹焊膏之前, 模板和PCB组件的间距应当在+1密耳内。
7. 推荐使用免清洗焊剂, 如果使用水溶性焊剂, 热焊盘下方的焊剂会很难清洁。

组装过程

模板设计与焊膏涂敷

1. 对于焊膏的涂敷, 推荐使用不锈钢模板。
2. 推荐使用厚度为0.125 – 0.150 mm (5 – 6密耳)的模板来进行遮蔽。

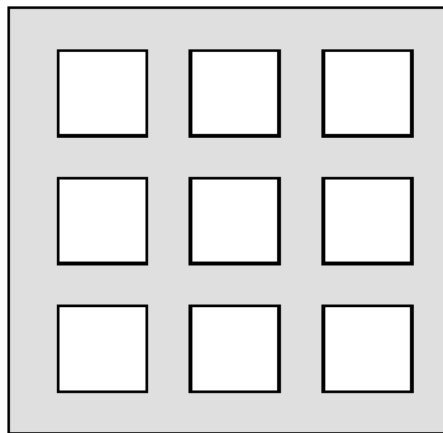
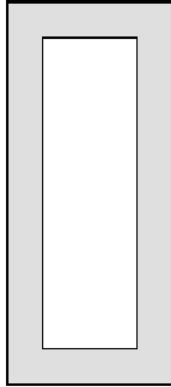


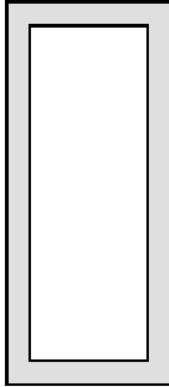
Figure 26. Solder Paste Application on Exposed Pad

AX8052F143

Minimum 50% coverage



62% coverage



Maximum 80% coverage

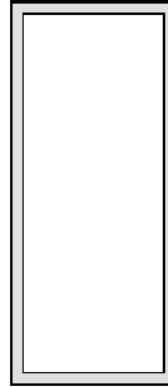



Figure 27. Solder Paste Application on Pins

Table 35. DEVICE VERSIONS

Device Marking	AX8052 Version	AX5043 Version
AX8052F143-1	1	1
AX8052F143-2	1C	1

ON Semiconductor and  are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(參考譯文)

ON Semiconductor和ON是Semiconductor Components Industries, LLC (安森美半导体)或其子公司在美国和/或其他国家/地区的商标。安森美半导体拥有多项专利、商标、版权、商业机密和其他知识产权。如需了解安森美半导体的产品/专利信息，请访问www.onsemi.com/site/pdf/Patent-Marking.pdf。安森美半导体有权对本文中所述任何产品做出变更，恕不另行通知。安森美半导体不对产品的任何特定用途适用性做出任何保证、陈述或担保，也不承担因应用或使用任何产品或电路而产生的任何责任，并且不对任何形式的损害承担任何责任，包括但不限于特殊损害、间接损害或附带损害。买家应对其使用了安森美半导体产品的应用和产品负责，包括遵守所有法律、法规和安全要求或标准，无论安森美半导体提供何种支持或应用信息。安森美半导体数据表和/或规格中提供的“典型”参数在不同的应用中可能而且会发生变化，实际性能也可能随时间推移而变化。所有工作参数(包括“典型值”)必须由客户的技术专家针对客户的特定应用进行验证。安森美半导体不转让任何其专利许可，也不转让任何其他权利。安森美半导体产品并非设计、预期或授权用作生命保障系统中的关键组件，或任何FDA 3类医疗器械或在海外管辖区具有相同或类似分类的医疗器械，或任何植入人体的器械。若买家购买安森美半导体产品或其用于任何此类非预期或未授权应用，买家应使安森美半导体及其高级职员、员工、子公司、关联公司和经销商免于承担所有索赔、费用、损害赔偿和费用，以及直接或间接产生的合理律师费用、与此类非预期或未授权使用相关的任何人身伤害或死亡索赔，即使此类索赔声称安森美半导体在该部件的设计或制造中存在过失。安森美半导体以雇主身份参加了“平等机会/平权行动计划”。本文档受所有适用版权法约束，不得以任何方式转售。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
 19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
 USA/Canada
Europe, Middle East and Africa Technical Support:
 Phone: 421 33 790 2910
Japan Customer Focus Center
 Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com
Order Literature: <http://www.onsemi.com/orderlit>
 For additional information, please contact your local Sales Representative