



数字工业软件

跨越鸿沟：利用 Calibre 3DSTACK 将 SoC 和封装验证结合起来

Design to silicon

内容摘要

Calibre 3DSTACK 功能扩展了 Calibre 裸片级 sign-off 验证，可在任何工艺节点对完整的多裸片系统（包括晶圆级封装）进行 DRC 和 LVS 检查，而不会中断当前的工具流程，也不需要新的数据格式。

Tarek Ramadan

简介

与传统的片上系统 (SoC) 设计相比，晶圆级封装 (WLP) 可实现更高的外形参数和更好的性能。但是，为了确保合格的良率和性能，电子设计自动化 (EDA) 公司、封测代工 (OSAT) 公司和晶圆代工厂必须合作建立一致且统一的自动化 WLP 设计和物理验证流程，同时尽可能地减少对现有封装设计流程造成的

干扰。借助 Xpedition Enterprise 平台增强的 PCB 设计能力，以及 Calibre 平台结合 Calibre 3DSTACK 扩展功能获得的基于 GDSII 的扩展验证功能，设计人员现在可以将 Calibre 裸片级 Sign-off 验证应用于各种 2.5D 和 3D 叠层裸片装配 (包括 FOWLP)，以确保可制造性和性能。

晶圆级封装

与传统的片上系统 (SoC) 设计相比，晶圆级封装 (WLP) 仍然是“超越摩尔定律”技术的希望所在，可实现更高的外形参数和更好的性能。与 2.5D 和 3D 集成电路 (IC) 设计不同，WLP 不需要硅通孔 (TSV)，硅通孔不仅昂贵，而且可能导致机械和热可靠性问题。主要使用两种 WLP 样式：

- 扇入型 – 一种“芯片大小”而不是“芯片级”的独特封装
- 扇出型 – 提供更高的输入/输出 (I/O) 计数能力

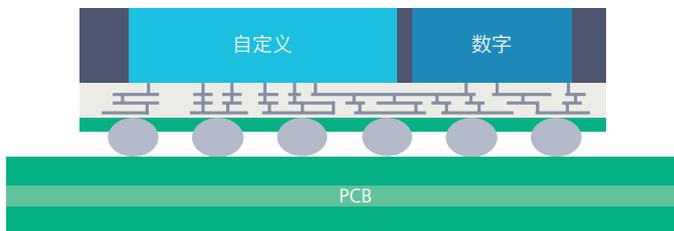


图 1. 扇出型晶圆级封装。

两种样式都支持单芯片和多芯片集成。但对于多芯片扇入型工艺，多个芯片通常来自同一个硅晶片 (同质集成)。而对于扇出型晶圆级封装 (FOWLP)，芯片集成可以是同质的，也可以是异质的。图 1 所示的 FOWLP 设计示例利用封装级再分布层 (RDL) 实现了从芯片到外部球栅阵列 (BGA) 的连接，以及多芯片配置中的芯片之间的连接。

目前，大型封测代工 (OSAT) 公司和晶圆加工厂提供了多种风格的 FOWLP 技术。STATs ChipPAC 的嵌入式晶圆级球栅阵列 (eWLB) 技术是一种节省空间的封装设计，能够实现更小的封装尺寸；更高的 I/O 密度；以及小于层压板或倒装芯片半导体封装的封装高度。Amkor 的硅晶圆集成扇出技术 (SWIFT) 结合了一些传统 IC 封装所没有的独特功能，例如包含基

于聚合物的介质、多芯片和大芯片功能、低至 2 μm 间距的互连密度（对 SoC 分区应用至关重要）、低至 30 μm 间距的铜柱芯片互连，以及使用通模过孔 (TMV) 或高铜柱。TSMC 的集成扇外型 (InFO) 晶圆

级封装是一种经过芯片验证的技术，可提供多种封装尺寸：8 x 8 mm²（允许单芯片或多芯片，支持多达 600 个 I/O）、15 x 15 mm²（支持多达 2000 个 I/O）和 25 x 25 mm²（支持多达 3600 个 I/O）。

FOWLP 设计和验证

SoC 的设计和验证流程非常完善，并且已经被设计人员使用了几十年。对于某个工艺节点，晶圆代工厂通常会提供一套设计规则，SoC 设计人员必须严格遵守这些规则，以确保晶圆代工厂能够正确制造 SoC。电子设计自动化 (EDA) 公司开发了一种自动化物理验证流程，帮助设计人员使用已馈入特定格式晶圆代工厂规则的软件工具，来分析 SoC 设计。这些工具会显示找到的任何设计规则违规，甚至还能自动纠正许多错误。针对连接关系检查、寄生参数提取、布线后仿真等，也开发了相同的自动化验证流程。随着节点的日益成熟，晶圆代工厂最终会为设计人员提供针对工艺节点充分开发的 SoC 工艺设计套件 (PDK)，设计人员将此套件与 EDA 供应商提供的一套 EDA 工具和流程（参考流程）相结合，便可以提供符合晶圆代工厂设计要求和制造工艺的设计。

从 IC 封装的角度来看，封装设计和验证流程相较于 SoC 的流程要简单得多。事实上，许多封装设计都是手动装配的。一般来说，除了描述预期设计规

则的文本文件之外，他们很少会对封装设计的正式 Sign-off 作出要求。因此，在过去，用于封装设计和验证的 EDA 工具功能也要简单得多。

但对于 FOWLP 等封装技术，封装设计和验证流程突然变得复杂很多。因为 FOWLP 制造发生在“晶圆级”，所以它与 SoC 制造流程类似，包含掩膜的生



图 2. 封装装配设计套件的组件。

成。这意味着必须实施可靠的芯片封装设计和验证流程，以便设计人员能够确保 FOWLP 在晶圆代工厂或 OSAT 公司的可制造性。与用于 SoC 的 PDK 相似，晶圆代工厂或 OSAT 现在必须向封装设计人员提供某种形式的装配设计套件 (ADK)，如图 2 所示。

封装设计环境中的 FOWLP 挑战

在建立适用于 FOWLP 的设计和验证流程时，面临的主要挑战之一是将芯片和封装设计环境整合到一起。为了验证 FOWLP 掩膜的可制造性，封装设计往往必须从本机设计环境导出为 GDSII 格式。但是，封装设计工具通常只能导出为其他板级格式，如 Gerber。GDSII 导出功能是在近期才增加的。经常出现的一个问题是，表示封装设计的 GDSII 文件包含一些物理验证工具无法正确解释的“非法”形状，因为这些形状不符合典型的 GDSII 格式。图 3 所示便是这类形状的一个示例。这种不可定向的形状（即形状沿某条边的外部和内部是不明确的）无法被 GDSII 标准正确解释。

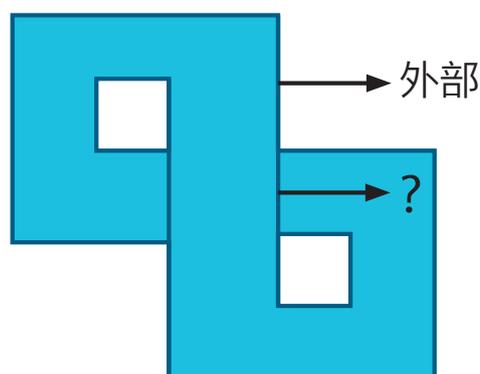


图 3. GDSII 中的不可定向形状。

在这种情况下，设计人员有两个选择：编辑形状使其符合 GDSII 要求，并在设计环境中重复 GDSII 导出过程；或者保持不可定向的形状不变，并在输入到物理验证工具时将其忽略。第一个选择增加了设计计划的时间，而第二个选择可能导致遗漏真实违规，进而导致制造后出现良率问题。最终，为了更好地支持 FOWLP 设计和验证流程，封装设计环境需要增强，以便能够正确地导出为 GDSII 之类的掩膜级格式。

为 FOWLP 使用 SoC 物理验证

在获得表示封装设计的正确 GDSII 文件后，便可以使用完善的 IC 驱动型验证工具，如 Calibre® 平台中提供的工具，对 FOWLP 设计执行必要的检查。这些工具支持类似于 SoC 验证的自动化验证流程。将基于 GDSII 的物理验证工具用于 FOWLP 设计具有许多优势：

- 制造检查：这些检查类似于 SoC 领域的设计规则检查 (DRC)。可以应用诸如 RDL 走线最小间距和最小宽度之类的检查。可以检查封装尺寸与封闭芯片尺寸之间的纵横比。晶圆代工厂或 OSAT 会提供一个“Sign-off”规则文件，确保晶圆代工厂正确生成封装 GDSII 的掩膜
- 连接关系检查：与封装驱动型工具相比，IC 驱动型验证工具的一个优势是，能够对封装的 RDL 层执行连接关系检查

即便如此，为 FOWLP 使用基于 GDSII 的物理验证工具仍存在一些挑战。从规则检查的角度来看，必须小心地完成制造规则编写，以免高亮显示误报的规

则检查违规。例如，FOWLP 设计中存在非曼哈顿形状时便会产生误报。从连接关系检查的角度来看，大多数 IC 驱动型连接关系验证工具都依赖于识别版图中的晶体管形状，因此它们可以将源网表与版图网表相关联进行连接关系检查。将这项检查映射到封装领域时，FOWLP 设计并未包含任何晶体管或有

源器件。网表格式进一步加剧了挑战，对于 IC 驱动型设计，通常为 SPICE 或 Verilog 格式，而对于封装驱动型设计，通常为电子表格或 AIF 格式。从可用性的角度来看，大多数 SoC 验证工具在 LINUX 系统上运行，而封装设计环境通常在 MS Windows 系统上运行。

联接 IC 和封装与 Calibre 3DSTACK

为了克服上述挑战，西门子数字化工业软件旗下的西门子 EDA 开发了一套全新的 EDA 功能，来弥合 IC 领域与封装领域之间的鸿沟，同时尽可能地降低对现有封装设计流程造成的干扰。Calibre 平台包含多种验证工具，可用于验证 FOWLP 设计：

- Calibre DRC 和 Calibre LVS 工具本身可验证每个芯片的物理实现
- Calibre DRC 工具还能验证封装布线 DRC
- Calibre 3DSTACK 功能可验证接口以及封装连接关系和整个系统的连接关系

Calibre 3DSTACK 功能扩展了 Calibre 芯片级 Sign-off 验证，使设计人员能够在任意工艺节点对完整的多芯片系统执行 Sign-off DRC 和 LVS 检查，而不会中断当前的工具流程，也不需要新的数据格式。Calibre 3DSTACK 功能（图 4）可识别装配中每个裸片布局每层的几何形状，从而实现裸片之间的精确检查。Calibre 3DSTACK 工具能够区分每个单独芯片

布局的感兴趣层，使设计人员能够验证每个芯片的物理属性（偏移、缩放和角度等），同时跟踪中介层或裸片到裸片接口的连接关系。

使用以电子表格或 AIF 格式从封装设计环境导出的封装源网表，封装设计人员可以检查 FOWLP 中的所有裸片是否都已通过封装的 RDL 层正确连接，以及

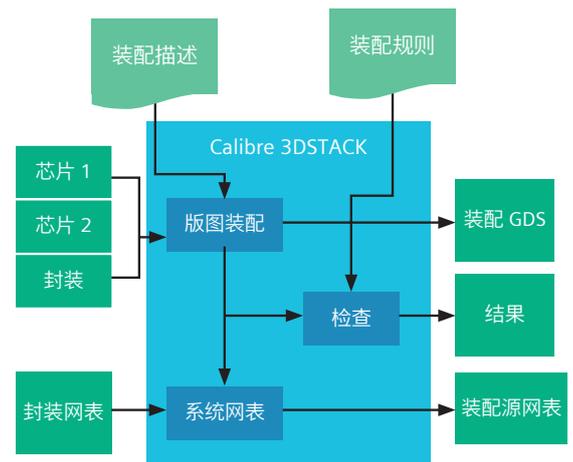


图 4. Calibre 3DSTACK 功能。

检查每个裸片与外部 I/O（通常是 BGA）的连接。晶圆代工厂或 OSAT 为 FOWLP 提供了 RDL 层连接关系堆栈，这可能被封装设计人员视为“金科玉律”。这种检查类似于 SoC 验证流程中的版图与电路图比较 (LVS) 检查。

大多数封装设计环境都可以导出 AIF 网表。它是一个多芯片模块 (MCM) 文件，包含 x,y 坐标形式的封装凸块和 BGA 位置信息。为了检查封装设计是否正确导出为 GDSII，Calibre 3DSTACK 功能可以将 GDSII 文件中的凸块/BGA 位置与 MCM AIF 文件中的凸块/BGA 的 x,y 坐标进行比较。有时封装设计环境会导出电子表格 (.CSV 文件) 而不是 MCM AIF 文件。但是，AIF 文件也有一定的优势，即它的格式允许描述凸块/BGA 的形状（正方形、八角形、圆形等），而电子表格仅包括形状的中心点 (x,y) 位置。

Xpedition® Enterprise 印刷电路板 (PCB) 平台提供了一个协同设计和验证平台，可将封装设计环境和 SoC 物理验证工具同时用于 FOWLP。例如，图 5 所示的流程便是 TSMC（作为封装制造商）和西门子 EDA（作为 EDA 供应商）在 TSMC InFO 技术领域合作的成果。InFO 封装设计是使用 Xpedition Package Integrator 工具和 Xpedition PCB 产品系列为封装设计环境而构建的。该平台采用易于使用的基于 GDSII 的流程，通过封装 InFO 层验证裸片到裸片和裸片到 BGA 的连接关系，并验证裸片凸块和 InFO 封装凸块之间的对齐。HyperLynx® DRC 工具还会执行 PCB 级 DRC，查找影响电磁干扰 (EMI)、电磁兼容性 (EMC)、信号完整性和电源完整性的问题。然后将设计导出为 GDSII 文件，并传递到 Calibre 3DSTACK 功能进行物理验证。

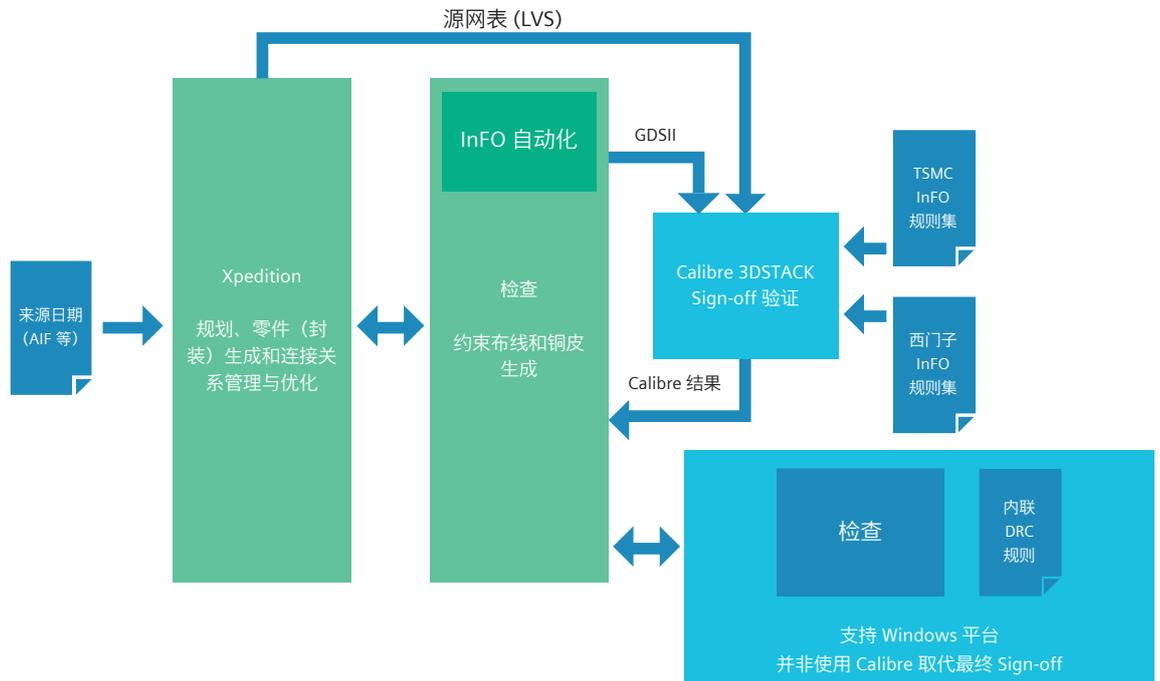


图 5. 将 Calibre 3DSTACK 功能用于 TSMC InFO 技术的协同设计平台。

结语

FOWLP 设计的诸多优势使其成为未来实现“超越摩尔定律”的关键因素之一。但是，为了让 FOWLP 设计人员确保合格的良率和性能，EDA 公司、OSAT 和晶圆代工厂必须合作建立一致且统一的自动化设计和物理验证流程。由于 FOWLP 制造需要生成掩膜，所以 SoC 物理验证工具是顺理成章的理想工具。将封装设计环境与 SoC 物理验证工具相结合，可确保

实施必要的协同设计和验证平台。借助 Xpedition Enterprise 平台增强的 PCB 设计能力，以及 Calibre 平台结合 Calibre 3DSTACK 扩展功能获得的基于 GDSII 的扩展验证功能，设计人员现在可以将 Calibre 裸片级 Sign-off 验证应用于各种 2.5D 和 3D 叠层裸片装配（包括 FOWLP），以确保可制造性和性能。

西门子数字化工业软件

美洲：1 800 498 5351

欧洲、中东及非洲地区：

00 800 70002222

亚太地区：001 800 03061910

如需其他地区电话号码，请单击[此处](#)。

关于西门子数字化工业软件

西门子数字化工业软件不断推动数字化企业转型，让工程、制造业和电子设计遇见未来。西门子数字化工业软件的硬件和服务全面集成式产品系列，可助力各种规模的企业打造全面数字孪生，带来新的洞察、新的改进机遇和新的自动化水平，让技术创新如虎添翼。如需了解有关西门子数字化工业软件产品和服务的详细信息，请访问 siemens.com/software 或关注我们的 [LinkedIn](#)、[Twitter](#)、[Facebook](#) 和 [Instagram](#) 帐号。

siemens.com/software

© 2023 Siemens. 可在[此处](#)查看相关西门子商标列表。

其他商标属于其各自持有方。

82046-D4-ZH 3/23 in-c