



数字工业软件

建立正确的连接：管理 3D-IC 中的系统级网表及其特殊连接

内容摘要

本文介绍了电子系统工程在为先进封装设计中的部署用于 3D IC 装配系统级网表驱动的 LVS 工作流程时所面临的两个主要挑战，即：1) 在部署系统级网表驱动的流程时进行的网表与网表对照检查；2) 特殊连接，例如域之间的不同连线名称、已知的短路和开路。然后，本文解释了如何将西门子 Xpedition Substrate Integrator (xSI) 和 Calibre 3DSTACK 流程用于系统级 LVS，从而处理这两个复杂的挑战。

Tarek Ramadan

西门子 EDA

简介

3D IC 是一种不断发展的半导体产品技术，突破了单裸片设计的诸多限制（例如，外形因素、大小和工艺节点）。

事实证明，将大裸片拆分为多个较小的裸片（也称为同质集成）可以实现可接受的良率，并让芯片粒子时代变为现实，将 IP 复用提升到全新的水平。由于在同一个半导体产品中可以混用不同的工艺节点，因此按 2.5D-IC 方式并排放置不同的裸片（也称为异构集成）可以提供更大的价值。此外，沿 z 方向堆叠裸片（如真 3D-IC 中所示），可通过缩短互连长度减少有害的延迟。混合键合和直接键合等 3D 技术可以实现更短的互连，并消除对 I/O 驱动器的需求。真 3D 堆叠甚至比 2.5D-IC 和扇外型晶圆级封装 (FO-WLP) 更能改善外形因素。图 1 和图 2 显示了 2.5D-IC 和 3D-IC 堆叠的示例。

从系统级设计的角度来看，尽管每种先进封装风格（如使用硅中介层的 2.5D-IC、扇外型晶圆级封装、真 3D-IC）都存在一些独有的挑战，但其中一些挑战适用于所有封装风格。也就是说，设计人员必须确保与标准设计意图（捕获为系统级网表）相比，装配按预期实现了物理连接。但是，当存在多个基板时，捕获系统级网表可能是一项挑战，因为每个基板通常需要不同的设计团队、方法和/或格式。

由于驱动系统级 LVS 验证的正是系统级网表（3D-IC 设计意图），因此设计人员必须确保系统级网表为标准网表，即，它是系统连接的绝对参考。为了展示标准网表的含义，我们假设设计人员正在运行

3D-IC 装配版图布局与 3D-IC 装配系统级网表之间 LVS 类型的验证。当在 LVS 运行中报告连接错误时，设计人员不必停下来并确认问题是来自系统级网表还是版图布局物理布线。尽管在某些情况下，这种不利状况可能是无可避免的（尤其是在为头几个项目引入和部署新的设计流程时），但系统级连接捕获步骤的目标是尽可能地提高网表的可信度，直至系统级网表可被视为标准/固定参考（当设计流程足够成熟时）。下一节我们将探讨创建系统级标准网表的挑战。

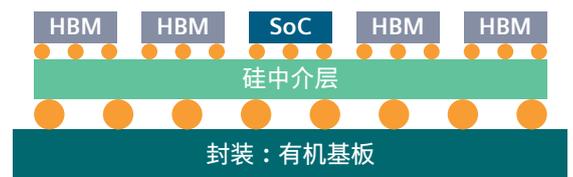


图 1. 使用 2.5D-IC 的异构集成。

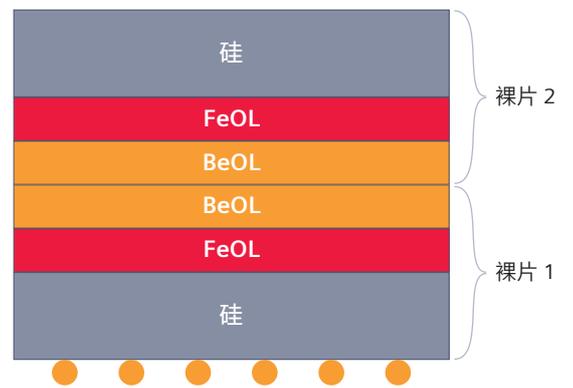


图 2. 通过堆叠晶圆实现真 3D-IC。

从传统的连接捕获流程 过渡到先进系统级流程

系统级连接规划和管理平台对于捕获 3D-IC 装配中不同元件的互连至关重要。但是，设计人员通常只有在测试了传统方法并体验到它们的缺点之后，才会过渡到这种类型的系统级 EDA 平台。当 3D-IC 系统中包含多个基板时尤其如此。

例如，由于许多设计人员使用与构建数字 SoC 相同的方法来构建硅中介层，因此在基于中介层的 2.5D-IC 系统中，设计人员往往使用传统的自动布局布线 EDA 方法和工具，而这意味着中介层连接通常是以 Verilog 网表格式捕获的。在其他（不太常见的）情况下，硅中介层是使用自定义或模拟流程设计的，中介层网表则是以 CDL/SPIICE 格式捕获的。据设计人员所知，这是他们使用传统 IC 流程所能获得的最佳系统级标准连接参考。

然而，在观察到这些“类 IC”方法和工具的缺点之后，他们将会逐渐转向系统级方法，而该方法需要专门的连接管理平台。通常，设计人员会通过将其应用于已制造 2.D-IC/3D-IC 系统的较旧已知良好测试用例来对新流程进行测试和清理。

现在的问题是，设计人员如何知道他们是否已使用新工具正确地构建了连接？

在较小的测试用例中，他们可以用肉眼检查。但是，典型案例并非那么简单。这时，设计人员需要某种等效检查，以便他们将传统连接捕获方法的输出（通常为单域，即 CDL、Verilog 或 CSV）与新系统级连接捕获方法的输出（多域）进行比较。在从传统连接捕获流程（IC 域或封装域）过渡到更先进的系统级连接捕获流程（跨多个域）时，为了给设计人员提供支持，需要进行快速、灵活的自动网表比较。在获得多个设计之间不含错误（没有不匹配项）的比较结果后，设计人员将更有信心使用新引入的连接捕获流程。下一节我们将介绍西门子提供的推荐解决方案。

网表等效检查

西门子提供了 Xpedition Substrate Integrator (xSI)，一款专门用于在先进 IC 封装中进行系统级连接捕获和管理的工具。xSI 支持导入不同的裸片、中介层、封装和 PCB 抽象，并使用这些信息来构建系统级源模型。在格式方面，用户可以导入 CSV、文本文件、LEF/DEF、ODB++、Verilog，等等。系统级设计人员可以查看并修改完整的系统连接（交互式或批处理），最终导出可驱动 LVS 装配验证的系统级装配网表。

为了帮助设计人员从传统的连接捕获流程（IC 域或封装域）过渡到基于 xSI 的系统级流程（多域），西门子开发了一种自动化方法，设计人员可以采用此方法将传统流程网表（SPICE、Verilog 或 CSV）与从 xSI 生成的系统级装配网表（CSV）进行比较。这种自动网表与网表比较是通过 xSI 集成的附加功能使用 Calibre 工具完成的。图 3 显示了用于网表与网表比较功能的交互式 GUI（向导）。

如图 3 所示，用户需要提供传统流程网表的路径。至于 xSI 网表路径，则由 xSI 自动填充。

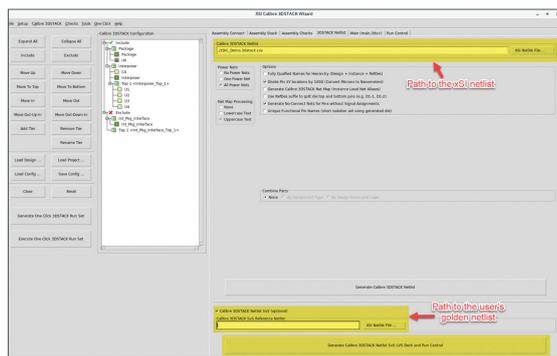


图 3. xSI 网表与网表比较功能的向导。

由于这是 xSI 流程中的可选功能，因此用户需要选中复选框“Calibre 3DSTACK Netlist SvS (optional)”。最后，单击“Generate Calibre 3DSTACK Netlist SvS LVS Deck and Run Control”按钮后，将自动生成 Calibre 网表 runset。

Calibre runset 包括以下内容：

1. 网表转换器：由于客户可能提供多种类型的网表进行比较（CSV、SPICE 或 Verilog），因此需要网表转换器。Calibre 方法最终将比较相同类型的网表，例如，客户的 SPICE 网表与 xSI SPICE 网表比较。这意味着需要将 xSI 网表 (CSV) 转换为 SPICE 网表 (xSI 格式到 SPICE 格式的转换)。如果客户网表采用 CSV 格式（当客户的传统流程是基于 IC 封装的流程时很常见），则也适用于客户网表。但如果客户网表采用 Verilog 格式（当客户的传统流程是基于数字 P&R 的流程时很常见），则需要进行 Verilog 到 SPICE 的转换。
2. 裸片映射文件：所提出的网表与网表比较方法允许客户网表与 xSI 网表采用不同的裸片命名。为确保成功完成比较，需要不同的裸片名称之间映射。
3. Calibre 选项：不同的 Calibre 规范和选项信息使用基于标准 Calibre SVRF 语言的语句列在 Calibre “deck” 中。示例选项包括：netlist1 路径、netlist2 路径、顶层单元名称、输出报告路径和生成结果的最大限制（如果有）。

4. 执行脚本：这是用户可以执行的“准备就绪”的运行脚本。它包括所需的 Calibre 调用选项。

当用户从 xSI 生成网表与网表比较的 runset、执行比较并查看生成的比较报告时，他们可以看到 xSI 系统

级连接是否与其传统的流程连接相匹配。如果报告不含错误，则客户可以确信他们已正确地使用 xSI 构建符合预期的系统连接。下一节我们将探讨另一个挑战：3D-IC 装配中的特殊连接。

3D-IC 多基板装配中的系统特殊连接

在验证多基板 3D-IC 设计的连接时，面临的主要挑战之一是缺少一份完整的系统源网表。硅中介层通常由 IC 设计团队构建（网表为 CDL 或 Verilog 格式），而有机基板则由封装团队构建（网表为 CSV 或 ODB++ 格式）。需要一个系统级连接聚合平台来使用这些数据并生成一份系统级网表。

但在某些情况下，系统源网表还不足以达到 LVS 验证的目的。这种情况下，设计人员需要将基板版图的一些信号“短接”在一起。在此设计版本中，这些短路将引起版图和源网表的不匹配。尽管在 LVS 比较结果中报告了这些差异，但它们是用户有意引入的（通常是在此设计版本中临时引入的）。

还有一些情况，尽管一些信号在系统源网表中是连接的，但设计人员需要在物理版图布局实现中将其

保持为开路状态。出现这种情况的原因有很多（例如：中介层版图布局的面积不足）。同样，尽管这些开路是有意的，但它们会在 LVS 比较结果中报告出来。

为了让用户区分有意的 LVS 问题与真正的 LVS 问题，需要采用某种方法从 LVS 结果中豁免有意的 LVS 问题。一种显而易见的解决方案是，修改系统源网表，使其匹配物理版图布局实现。然而，这是不可取的，因为系统源网表需要在不同的物理实现版本和迭代中作为标准和固定参考。因此，设计人员需要一种快速、灵活的自动化方法来处理 3D-IC 设计中的特殊连接。也就是说，他们必须能够豁免 LVS 比较结果中的有意开路或短路。下一节我们将介绍西门子提供的推荐解决方案。

考虑 3D-IC 设计中的特殊连接

不同名字的连线穿过不同的基板/团队（设计的域中）在多基板 3D-IC 设计中，同时使用了硅中介层和有机基板，而基板的规划和实现通常由不同的团队采用不同的方法完成。对于同一连接，构建硅中介层的 IC 设计团队与构建有机基板的封装团队可能使用不同的连线命名方法。系统级设计人员最终会遭遇这样的情况：同一端口名称可能被分配给两个不同的连线名称。例如，同一个裸片到 BGA 连接可能被分配给两个不同的连线名称：C4_PKG（封装团队命名）和 C4_INT（中介层团队命名）。

Xpedition Substrate Integrator 可以识别跨基板的连接，即使这个连接分配了两个不同的连线名称。这是通过应用 xSI 接口部件功能来实现的。

接口部件会“查看”3D-IC 装配中的两个基板。假设装配包括一个硅中介层和一个有机基板，接口部件通常是 C4 凸块的形式（因为 C4 凸块与中介层基板和封装基板都有连接）。

接口部件功能用于连接 xSI 中的两个不同基板（称为布局规划或设计）。图 4 中高亮显示了一个接口部件的示例（左侧）。

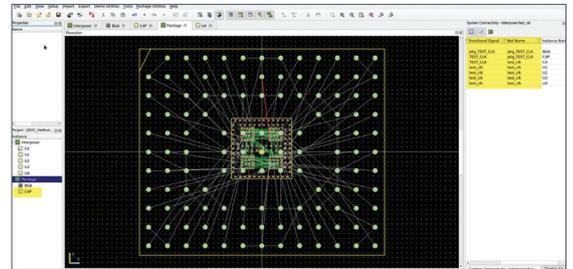


图 4. xSI 中的接口部件。

如图 4 所示，存在“中介层”和“封装”两个基板。对于“TEST_CLK”信号，有两个不同的连线名称：中介层域的“TEST_CLK”和封装域的“pkg_TEST_CLK”。尽管连线名称不同，但由于“C4P”部件（接口部件）的存在，“TEST_CLK”信号在整个系统中都被正确跟踪。

现在，一旦在 xSI 中构建了系统连接，就会将 Calibre 3DSTACK 用于系统级 LVS。为了让 Calibre 能够识别在跨基板被分配给不同连线名称的连接，需要进行连线合并。

西门子的 Calibre 3DSTACK 提供了一种名为连线映射的连线合并功能。换言之，连线映射文件中包括了需要合并或短接到一起的连线列表。以下是一个连线映射条目的示例：

```
“TEST_CLK pkg_TEST_CLK”
```

在以上示例中，两个连线名称被合并为一个（pkg_TEST_CLK）。因此，Calibre 3DSTACK 已识别完整连接，并且不会报告 LVS 假错。

使用一个与 xSI 集成的向导，可以将连线映射文件自动包含在 Calibre runset 中，如图 5 所示。

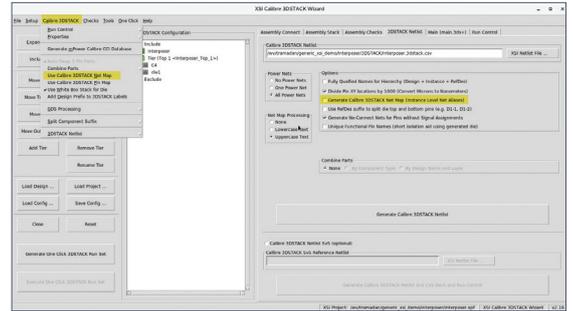


图 5. 在 Calibre 3DSTACK runset 中插入连线映射文件。

支持已知的短路

在多基板 3D-IC 装配中，设计人员采用的一种常见做法是，将一些不需要的信号短接到接地层或将不同的电源层短接到一起（例如：将中介层上的 VDD_SENSE 和 AVDD 短接到封装上的 VDD），而这些电源连线在系统源网表中都处于断开状态。用户通常将此信息包括在一份列表中（例如，文本文件、CSV）。如果不将此列表纳入到 xSI/Calibre 3DSTACK 的系统级 LVS 流程中，则会报告许多 LVS 错误。这种情况下，用户很难区分有意的错误和真正的错误。为了解决这一挑战，在为 Calibre 3DSTACK 生成源网表时应考虑此短路列表，以便合并短路列表中的网络。

如上一节所述，西门子的 Calibre 3DSTACK 提供了连线映射功能。此功能可用于纳入短路列表。可以将短路列表视为一个连线映射文件，使用与 xSI 集成的向导可以将其自动包含在 Calibre runset 中，如图 5 所示。

结语

对于 3D-IC 装配而言，设计人员必须确保与标准设计意图（捕获为系统级网表）相比，装配按预期实现了物理连接。然而，在新引入的设计流程中，确保系统级网表为标准网表可能成为一大挑战。Xpedition Substrate Integrator (xSI) 和 Calibre 3DSTACK 提供了一种快速、灵活的自动化网表比较方法，使用户能够确信他们已正确构建系统级连接。

3D-IC 设计流程面临的另一个挑战是特殊连接，即不同的设计版本可能包含已知的开路和已知的短路，需要豁免这些问题才能获得易于使用的系统级 LVS 调试和导航。Xpedition Substrate Integrator 和 Calibre 3DSTACK 支持已知的短路和开路。西门子流程还允许在中介层设计团队和封装设计团队之间使用不同的连接分配方法（当两者都在构建同一个多基板系统时）。

有关系统级连接捕获和系统级 LVS 验证的详细信息，请参阅西门子技术论文 3D IC 异构装配的系统级连接管理和验证。

西门子数字化工业软件

美洲：1 800 498 5351

欧洲、中东及非洲地区：00 800 70002222

亚太地区：001 800 03061910

如需其他地区电话号码，请单击[此处](#)。

关于西门子数字化工业软件

西门子数字化工业软件不断推动数字化企业转型，让工程、制造业和电子设计遇见未来。西门子数字化工业软件的软件和服务全面集成式产品系列，可助力各种规模的企业打造全面数字孪生，带来新的洞察、新的改进机遇和新的自动化水平，让技术创新如虎添翼。如需了解有关西门子数字化工业软件产品和服务的详细信息，请访问 siemens.com/software 或关注我们的 [LinkedIn](#)、[Twitter](#)、[Facebook](#) 和 [Instagram](#) 帐号。

siemens.com/software

© 2022 Siemens. 可在[此处](#)查看相关西门子商标列表。

其他商标属于其各自持有方。

84753-D3-ZH 8/22 in-C