



数字工业软件

寄生参数提取技术

先进工艺和 3D-IC 设计

内容摘要

Calibre® xACT™ 解决方案为互连建模提供寄生参数提取选项，确保准确捕获先进工艺设计中非平面器件的寄生和版图相关效应，同时进行多工艺角提取以实现高效处理，准确识别 EM 电流密度违规情况，以及为 3D-IC 封装设计提供准确的提取和建模。

Karen Chow 和 Claudia Relyea

目录

简介	3
寄生参数提取面临的挑战	3
先进工艺	3
3D-IC 建模	5
寄生参数提取解决方案	6
互连建模	6
FEOL	6
MOL	7
BEOL	7
多工艺角提取	9
3D-IC 建模	10
数据分析	11
电迁移和自加热流程	11
结论	13

简介

大多数集成电路 (IC) 设计人员采用先进的工艺技术节点，以利用持续尺寸缩减所实现的性能、密度和功能提升，以及延迟减少和功耗下降等优势。转用鳍式场效应晶体管 (FinFET)、全耗尽型绝缘硅 (FD SOI) 和环绕栅极 (GAA) 晶体管等新器件架构，可以扩大栅极长度缩减范围，但也会导致相邻几何形状之间的寄生交互增加¹。三维集成电路 (3D-IC) 设计越来越受到关注，因为它有望在提供器件缩减的同时进一步降低成本²，但它需要验证元器件之间的寄生效应和多种工艺上的互连。

Calibre® xACT™ 解决方案为互连建模提供了新的寄生参数提取 (PEX) 选项，可确保准确捕获非平面器件的寄生和版图相关效应，以及为新兴 3D-IC 设计提供精确的提取和建模。这些选项还能为下游分析提供网表输入。通过在验证流程中实施这些先进的 PEX 解决方案，设计人员可以成功实现先进工艺设计的性能和市场优势。

寄生参数提取面临的挑战

先进工艺

FinFET、非平面多栅极结构和纳米线金属氧化物半导体场效应晶体管 (MOSFET) 的引入，为先进工艺的参数提取过程增加了新的复杂性。

FinFET 是传统 MOSFET 的变体。其衬底顶部有一个很薄的硅翅片反转通道，使得栅极能够接触翅片的两侧 (图 1)。制造商采用 FinFET 可以缩减到更小的工艺节点。实际上，根据目前的预测，在 2021 年之前，finFET 的尺寸可针对高性能逻辑应用继续缩减³。

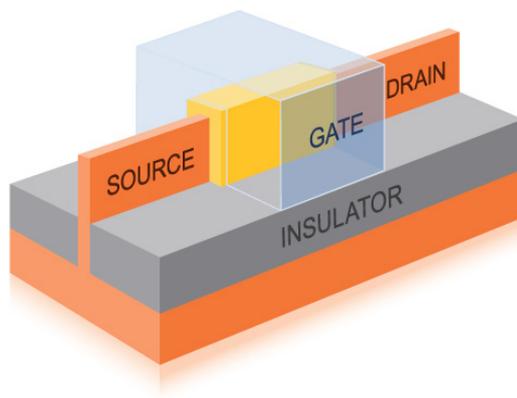


图 1. 与传统 CMOS 技术相比，FinFET 提供明显更快的开关时间和更高的电流密度 (资料来源：GLOBALFOUNDRIES。已获得使用授权)。

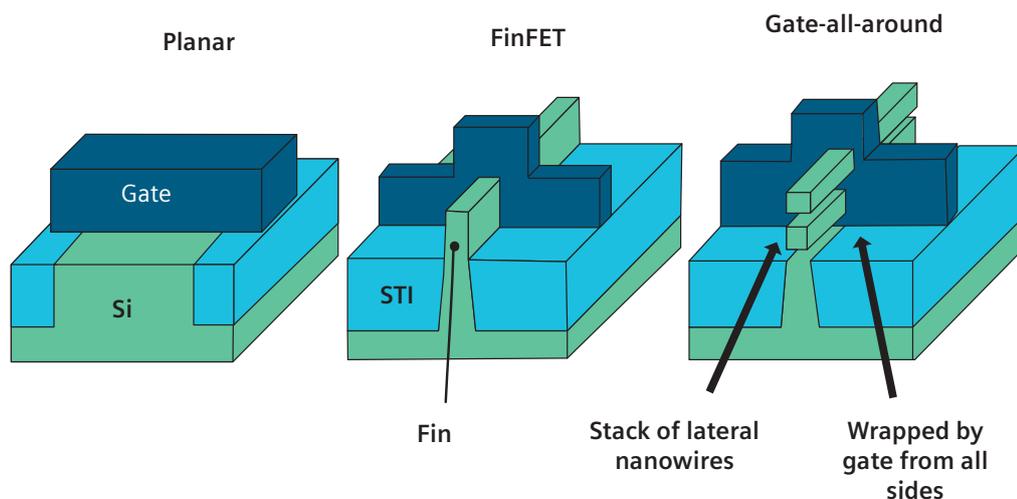


图 2. GAA FET 比传统平面晶体管更紧凑，并能降低功耗和增强器件性能。（信息来源：A. Hikavy 等人。已获得使用授权）。

然而，国际器件与系统路线图 (IRDS) 指出：2019 年之后，寄生参数对关键路径性能的影响将愈发显著。当 FinFET 无法再缩小栅极长度时，就需要用到具有垂直纳米线的全新环绕栅极 (GAA) 结构 (图 2)⁴。

这些新型栅极的栅极与源极/漏极端子之间的寄生电容会随着技术节点缩小而增加。电流密度也会随着尺寸的减小而增大。为了更大限度地提高这种新技术的性能和功耗优势，必须降低源极/漏极串联电阻、接触孔和互连电阻，而这对设计人员来说是很困难的。

一些公司正在改变设计方法来应对寄生效应的增加。例如，TSMC 目前使用飞位线 (FBL) 和双字线 (DWL) 设计策略来减轻 RC 线负载影响，并改善其 7nm 256MB SRAM 的 SRAM 阵列访问性能⁵。

但是，考虑到寄生延迟的关键性，要管理 7nm 和 5nm 设计中的寄生效应，较为有效和高效的方式是使用一种将广泛的互连建模、提取及增强的设计分析包含在内的综合方法。

3D-IC 建模

封装设计传统上由封测代工 (OSAT) 公司使用内部流程和工具来装配和生产。然而, 在裸片信号和封装信号相互影响的情况下, OSAT 很难整合出一个通用解决方案来解决 3D-IC 寄生参数提取问题, 因为 OSAT 只有关于封装的详细知识, 但不了解其元器件。除了不了解裸片中可能包含的元器件外, 在被允许向各种 IC 供应商透露的内容方面, OSAT 也可能面临诸多法律限制⁶。

正在推向市场的创新 3D-IC 封装设计需要全新的强化参数提取技术。3D-IC 封装上的寄生参数提取需要一些额外的工作。例如, 扇出型晶圆级封装 (FOWLP) 是设计人员设计 3D-IC 的新方法, 其外形尺寸很小, 并且具有较低的封装高度 (图 3)。硅片倒置并嵌入低成本环氧树脂塑封料中。为了连接不同裸片上的信号, FOWLP 上使用了再分布层 (RDL)。

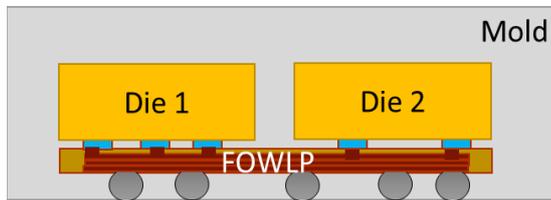


图 3. 典型的 FOWLP 设计。

在 FOWLP 设计中, 准确提取各个裸片上的互连特征、FOWLP 上的互连特征以及两者之间的交互特征非常重要。PEX 通常仅在单个裸片上运行。虽然这种方法可以捕获大部分效应, 但设计人员还必须提取从裸片上部金属层经过接触焊盘再到 RDL 的交互的特征。为了准确提取这些效应并能够对其进行建模, 需要将这些过孔和 RDL 合并到 PEX 规则集中 (图 4)。在传统堆叠中, PEX 规则集包含器件层和低层金属一直到铝 (AP) 层的信息。在扩展堆叠中, PEX 规则集可能包含有关与 FOWLP (包括焊盘) 连接的信息, 以确保可以捕获裸片与 FOWLP 之间的交互。RDL 中的布线可以通过电路板级工具提取。

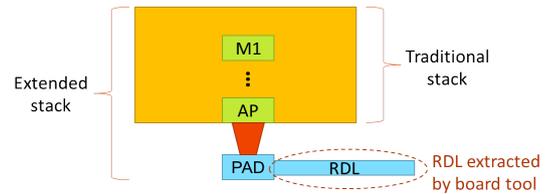


图 4. FOWLP 提取包括裸片和封装上的互连, 以及它们之间的交互。

任何用于 3D-IC 配置的 PEX 工具都需要高精度。图 5 显示了面对面粘合 3D-IC 的裸片间交互的分析。在这些设计中，裸片间耦合对时钟树影响很大，特别是对顶层布线。根据 Petranovic⁷，裸片间耦合对底部 Mtop 层总耦合电容有 34% 的贡献，对顶部 Mtop 层总耦合电容有 39% 的贡献。

考虑相邻裸片之间有两个界面层，环境内提取可提供高度准确和高效的提取结果，总对地电容误差为 0.9%，总耦合电容误差为 0.8%⁸。

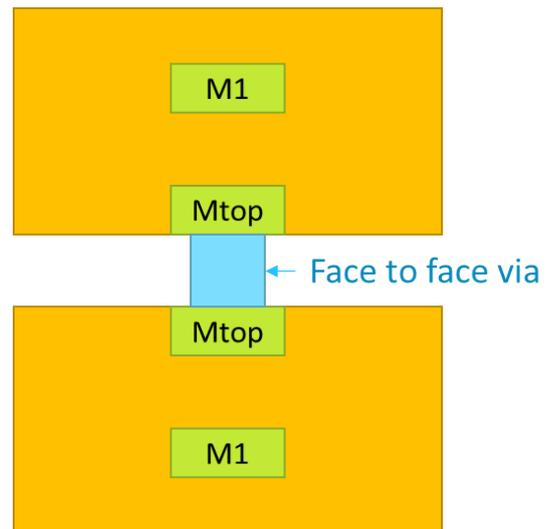


图 5. 当将两个裸片的顶部放在一起形成单个 3D-IC 时，捕获面对面过孔的影响以及裸片顶层之间的交互极其重要。

寄生参数提取解决方案

互连建模

集成电路 (IC) 由电子器件组成，电子器件通过导线（互连）连接，在半导体材料上形成电子电路。互连建模可以分为三个不同部分：

- 前道工序 (FEOL) – 构成器件（晶体管、电容、电阻等）的所有 IC 制造层
- 中道工序 (MOL) – MOL 层包含一系列接触孔以及将器件连接到金属线的局部互连
- 后道工序 (BEOL) – 金属层，各个器件（晶体管、电容、电阻等）在其中与晶圆上的导线互连

FEOL

使用工业器件模型和仿真工具来对 FEOL 层建模。例如，FinFET 的通用工业模型是 BSIM 通用多栅极 (BSIM-CMG) 模型⁹。这些器件模型用一个简化模型来模仿晶体管的行为。模型反映了漏极电流和电容的行为与电压的关系。尽管做了很多工作来将版图相关效应整合到器件模型中⁹，但简化模型捕获寄生参数的方法有限，因此经常使用像 Calibre xACT 平台这样的 PEX 工具来捕获版图相关的效应。仿真工具使用 BSIMCMG 模型对栅极区域中的行为建模，使用 Calibre xACT 工具提取的寄生电阻和电容来对版图

相关效应建模。为避免重复计算，设计团队必须就设计版图在器件模型和提取规则集之间的划分达成一致，使得器件模型中已包含的内容不会被 Calibre xACT 工具提取。

MOL

FinFET 为 3D 几何形状，因此器件和互连之间的耦合效应更加明显¹⁰。此外，BSIM-CMG 模型使用理想的单鳍模型，因此缺乏版图相关效应。这就需要场解算器来准确地对中道工序 (MOL) 层中的电路性能建模¹¹，因为该工具能更精确地捕获 3D 效应，这也使其成为在 FinFET 中获取准确结果的必备工具。Calibre xACT 工具利用内置的场解算器精确提取 MOL 层，并且与所有标准器件模型有效地集成在一起。MOL 建模包括接触孔偏置建模，其中偏置指的是边缘的扩展。对于先进工艺，扩散抽头具有与间距相关的偏置行为，必须由 RC 提取予以建模。最后，局部互连建模变得越来越重要，因为 M0/M1 局

部互连的电阻随着线宽和工艺的缩减而不断增加；对于 5nm 工艺节点，M0 和接触孔成为局部互连电阻的主要贡献因素¹²。

BEOL

BEOL 层的一个重大挑战是对光刻蚀刻多重曝光中潜在未对齐掩膜进行建模，这种建模在 10nm 及以下节点中广泛使用。如果两个几何形状位于不同掩膜上，并且掩膜相对于彼此移位，则耦合电容会发生变化 (图 6)。在较大的工艺节点，这种未对齐通过简单地上调 (DPworst) 或下调 (DPbest) 所有耦合电容值便可进行粗略估计。在较小的工艺节点，由设计团队而不是晶圆代工厂执行版图拆分，因此在设计验证期间可以进行更准确的提取建模。

一种可能的技术是修改介电常数，以获得代表掩膜未对齐的等效耦合电容变化¹³。

如果掩膜移位，可以对耦合电容的变化建模。通过在较小的工艺节点进行强制的设计端拆分，设计团队即可使用 Calibre xACT 工具更准确地计算掩膜未对齐引起的耦合电容偏移。

另一种方法是创建基于偏移的自定义工艺角¹³。工艺角在某一金属层具有标称厚度时使用，但实际上，该层可能略薄或略厚。电介质厚度也可能会变化。晶圆代工厂发布的不同规则集包含了这些可导致电容值或 RC 值增大或减小的差异。对于先进工艺，晶圆代工厂现在发布具有较高或较低标准差的工艺角。设计人员可以使用严格的工艺角 (厚度标准差

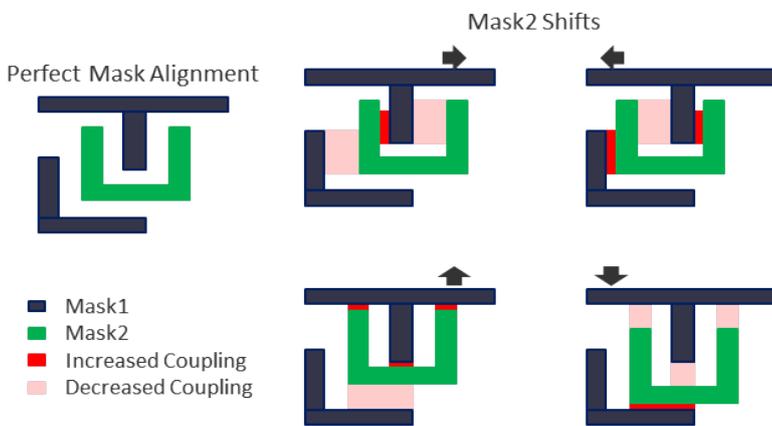


图 6. 多重曝光设计中的掩膜偏移可能导致耦合电容变化。PEX 工具必须能够处理这些潜在的偏移。

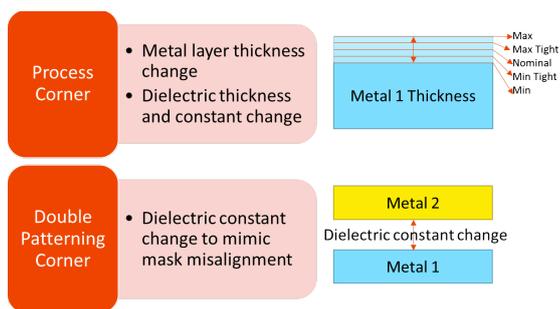


图 7. 对于先进工艺，更准确的工艺角建模让设计人员能够优化版图以满足设计目标。

较小)，对其设计进行较严密的性能调整，或者可以使用常规工艺角（标准差较大），使其设计能够更好地承受较大的工艺角摆动，但面积和/或性能会受影响（图 7）。

重定向不同于光学邻近效应修正 (OPC) 和分辨率增强技术 (RET)，后两者由晶圆代工厂或晶圆厂在流片

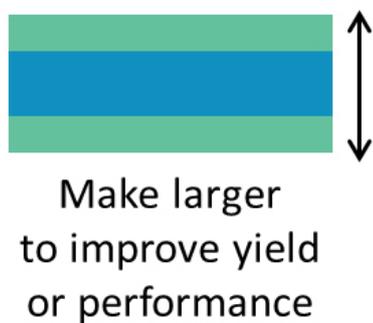


图 8. 版图重定向可以提高合格率和性能。

后执行。在先进工艺中，重定向变得更加重要和复杂，因为已绘制版图和重定向版图之间的尺寸增量必须保留一定的间距。

线端建模是一个与 BEOL 和 MOL 以及目标器件均相关的问题。对于短导线，特别是在 M1 处，线端、工艺角和凹面效应都必须得到妥善处理。线端可以延长的量是有限制的。PEX 工具必须能够在不侵入禁区的情况下执行重定向（图 9）。

总之，Calibre xACT 解决方案可以处理所有层的全部新增互连建模要求，确保所生产的硅片将按照预期正常工作。

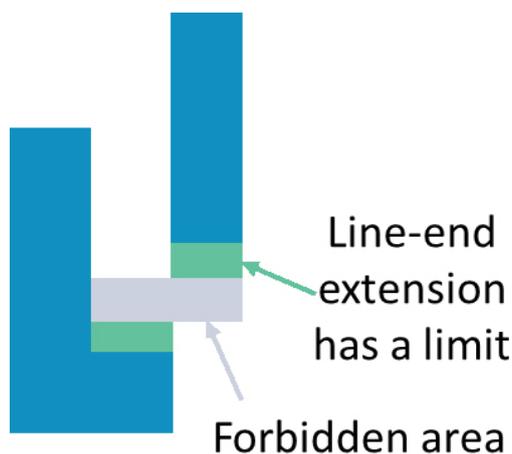


图 9. Calibre xACT 工具可识别设计重定向时存在的设计限制。

多工艺角提取

定制和数字设计人员均需要进行多工艺角互连提取。不仅电压和温度，单元特征提取、模块提取和 signoff 也必须在多个工艺角处完成。先进工艺的多重曝光会增加更多工艺角。例如，7nm 工艺有九个工艺角，每个工艺角还有一个或多个多重曝光 (MP) 角。这些 MP 角包含在工艺角技术文件中。每个后续工艺节点的设计复杂度也在增加，因此 7nm PEX 面临的一大挑战是在处理设计和必要的工艺角的同时，避免在 signoff 阶段产生额外的周期时间。Calibre xACT 解决方案通过高效处理来满足所有这些复杂的建模要求。

过去，每个工艺角意味着要进行一次独立的提取运行。针对九个工艺角，设计人员必须运行九次 PEX，这需要增加机器资源或延长 PEX 时间预算¹⁴。为了解决先进工艺面临的这一挑战，Calibre xACT 工具可同时进行多工艺角提取，在一次运行中提取所有工艺角、多重曝光角和温度角（图 10）。用户指定要提取的目标工艺角组合和网表。此流程运行一次版图与电路图对比 (LVS) 检查，然后同时进行多工艺角提取和寄生网表生成。该流程可以在多台远程机器上运行，也可以在一台多 CPU 机器上运行。

PEX 为网表添加大量的寄生电容、电阻和电感元件，以进行布线后分析。在先进工艺，元件数量产生的网表可能超过下游仿真器的能力之所及。设计人员必须自定义提取以尽可能地提高准确度，同时尽可能地减少寄生数据量。有多种方法可减少寄生网表。一些方法基于阈值或容差来消除元件。Calibre xACT 工具使用更有效的缩减机制，称为时间常数均衡缩减 (TICER)。TICER 具有电气感知功能，可产生较小的 RC 网络，同时控制误差。TICER 可用于从模拟、全定制版图到数字 sign-off 的全部设计流程¹⁴。

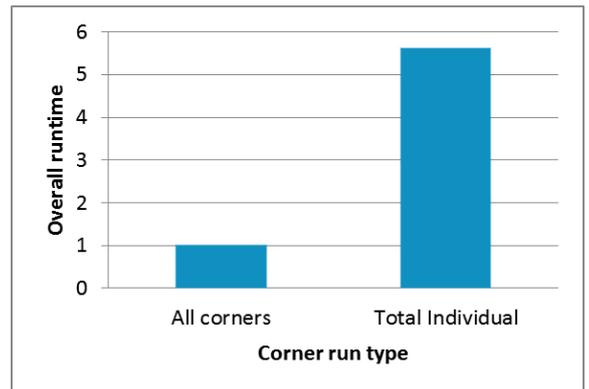


图 10. 传统的单个工艺角处理与多工艺角同时提取。

对于 128K SRAM 设计，与未缩减的网表相比，采用 TICER 缩减的寄生网表进行的时序仿真速度要快 30%（图 11），并且仿真误差在 2% 以内（图 12）。

3D-IC 建模

虽然 3D-IC 设计是改善先进产品规格的有效方法，但设计公司必须确保对这些新版图采取正确的提取方式。Calibre nmPlatform 支持 signoff 验证，包括几乎任何 3D-IC 配置的寄生参数提取，这些配置包括采用倒装芯片的芯片堆叠、硅中介层和硅通孔 (TSV)。

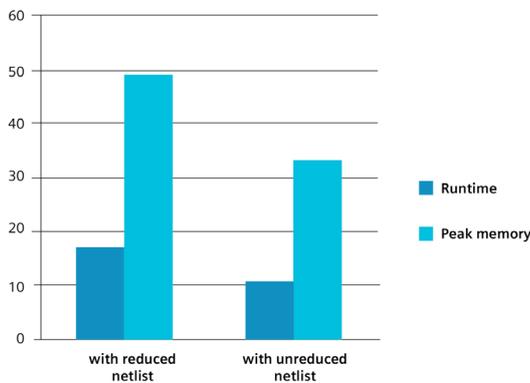


图 11. 使用 TICER 缩减的网表可以使时序仿真速度加快 30%。

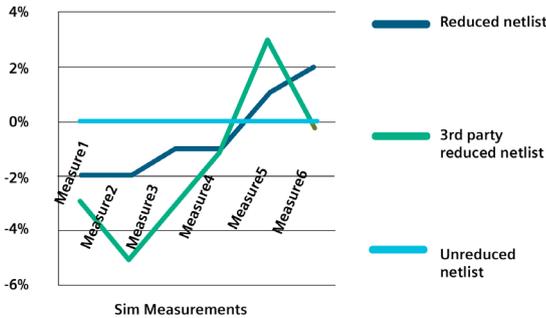


图 12. 缩减网表相较于未缩减网表的仿真误差在 2% 以内。

验证各个裸片之后，将检查裸片之间的接口，包括使用特殊 3D-IC 规则文件进行寄生参数提取 (PEX)。

Calibre nmPlatform 还为每个芯片提供单独的寄生网表，结合 3DSTACK 的顶层网表用于仿真。它提供的这些功能不会破坏当前的工具流程，也不需要新的数据格式。

第一级提取网表的生成方法是：自动组合 Calibre 3DSTACK 工具提取的封装网表，并使用已经为每个裸片提取的寄生网表来填充裸片详细信息。此任务可以使用系统网表生成器 (SNG) 完成，它是 Calibre 3DSTACK 功能的一部分，可用于创建源网表作为 Calibre 3DSTACK 工具的输入，或将多个网表拼接成一个网表以创建寄生网表。SNG 可以在批处理或 GUI 模式下运行，也可以为装配中的特定跨裸片路径输出经过缩减的网表。这些网表一经创建，也可用于详细的 SPICE 分析或其他电气分析，例如使用 Calibre PERC™ 可靠性平台进行针对静电放电 (ESD) 或电迁移 (EM) 的可靠性检查。

但是，裸片之间的潜在寄生参数如何处理？从裸片中的布线到外部凸块，甚至从一个裸片中的布线到相邻裸片中的布线，都可能存在电容或电感耦合。解决办法是使用 Calibre 3DSTACK 工具重新提取每个裸片，但要包括相邻裸片的一到两层。当然，在校正中必须考虑这些新层。这是通过执行更简单的“增量校正”来实现的，此增量校正延伸至目标晶圆代工厂为独立裸片工艺生成的现有 MIPT 文件。利用每个裸片的这种新寄生参数信息，设计人员可以再次将数据合并到装配网表中，生成更准确的提取网表⁶。

设计分析

电迁移和自加热流程

由于 7nm 工艺中密度的提高和 FinFET 的使用，自加热和电迁移 (EM) 正成为一个大问题。电迁移是计算机芯片运行时自然发生的现象。它指的是互连中的原子由于高电流密度而发生位移。电子流将原子推出其原始位置，当有间隙时会造成开路，或当突出的金属接触另一个金属互连时会造成短路。如图 13 所示，电流密度为分母，因此提高电流密度会缩短平均无故障时间。

$$MTTF = \frac{A}{j^n} \times e^{\frac{Q}{kT}}$$

Where:

MTTF is mean time to failure

A is a constant

j is the current density

n is a model parameter

Q is the activation energy

k is Boltzmann's constant

T is the absolute temperature in K

图 13. EM 分析有助于设计人员分析可靠性。

由于传导路径很窄，FinFET 的热导率很低，因此大量热量会向上传递到金属层。由于 finFET 的热导率较低导致温度不断升高，因此在 EM 分析中纳入温度考量非常重要。EM 电流密度水平随着温度的升高而降低，因此必须测量晶体管传输的热量，并相应地

降低 EM 电流密度限值。为了将自加热纳入考量，除了 EM 分析所需的标准参数外，Calibre xACT 工具还为 EM/自加热分析提供了器件位置信息。

有几种方法可降低电流密度。数字设计使用的主要方法是过孔加倍和走线加宽 (图 14)。

对于模拟、混合信号和射频 (RF) 设计，则是确定主要架构，使用原理图输入捕获电路，然后运行仿真以确定设计是否符合规范。完成原理图后，接下来便是实现版图，包括由设计规则检查 (DRC)、LVS 和 PEX 构成的验证过程。在输出 DSPF 网表中，有几个项目对 EM 和自加热分析很重要。LVS 提取多个与自加热相关的器件参数，包括层映射和器件信息 (例如器件每个接指的位置信息)。DSPF 网表还包含准确的寄生参数，包括层、宽度和位置信息。

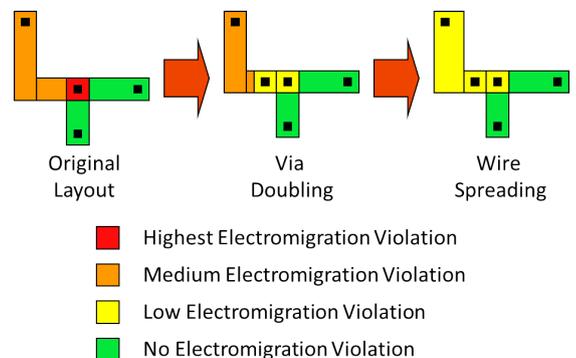


图 14. 多种设计选项有助于降低 EM 敏感性。

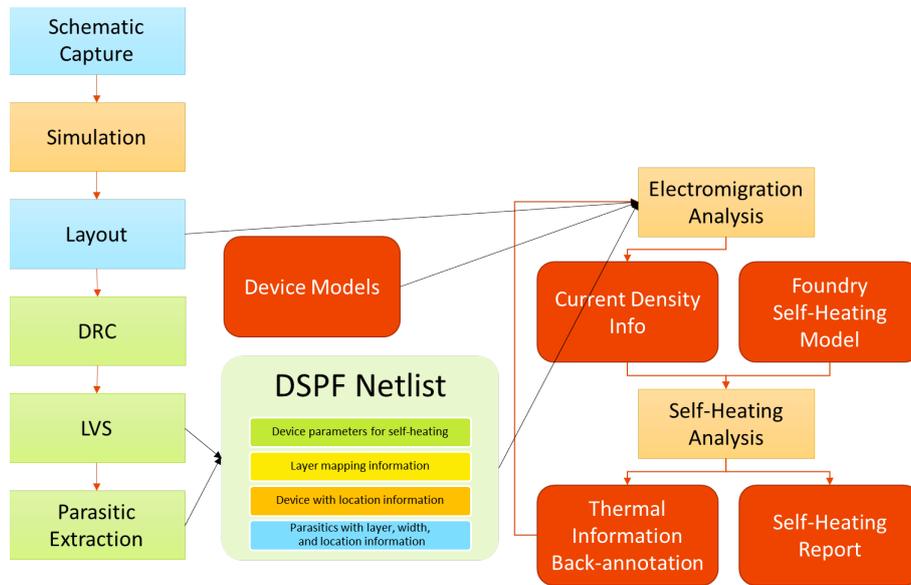


图 15. EM 和自加热分析如何融入模拟、混合信号和 RF 设计的设计流程。

EM 工具可利用经调整适用于 OPC 和化学机械抛光 (CMP) 的准确宽度值，来计算电流密度。DSPF 网表为 EM 分析工具提供信息，后者计算电路所有部分中的电流量。它既能计算电源和接地网络的平均电流 (Iavg)，也能计算信号网络的均方根电流 (Irms) (图 15)。EM 分析之后，将产生电流密度信息并与晶圆代工厂提供的自加热模型相结合，以运行自加热分析。该分析会产生温度图，随后被反向标注到 EM 工具，这样便能看到在降低的新阈值下电流密度违规的增加情况。使用 Calibre xACT 平台的设计人员可以查看 FinFET 和寄生参数的位置信息。

```

*|l (MM0<1>:g MM0<1> g B 0.0 1.6250 0.4800) //
$Ilx=2.4800 $Ily=0.4800 $urx=2.4800 $ury=0.4800
$lvl=84
...
R229 netA:1 netA:25 0.508333 $w=8e-09 $l=1.2e-08
$lvl=13 $Ilx=-0.3175 $Ily=0.208 $urx=-0.3095
$ury=0.22
  
```

结语

先进工艺和 3D-IC 封装需要全新的和增强的寄生参数提取方法来解决此类设计中各种复杂的寄生参数问题。新型互连建模方案可确保准确捕获 FinFET 等非平面器件的寄生和版图相关效应，以及为 FOWLP 等新兴 3D-IC 设计提供准确的提取和建模。多工艺角同时提取利用高效的处理满足复杂的建模要求。

为 Em/自加热分析提供器件位置信息可确保准确识别并缓解电流密度违规现象。Calibre xACT 解决方案将全新的扩展型寄生参数提取解决方案引入到设计流程中，使设计人员能够成功评估并缓解先进工艺和 3D-IC 设计中存在的寄生问题，确保改善性能和可靠性，提高设计的市场价值。

参考文献

1. "More Moore," 2015 International Technology Roadmap for Semiconductors (ITRS). https://www.semiconductors.org/main/2015_international_technology_roadmap_for_semiconductors_itrs/
2. John Ferguson, Dusan Petranovic, "Full 3D-IC parasitic extraction", Tech Design Forum, June 18, 2014. <http://www.techdesignforums.com/practice/technique/full-3d-ic-parasitic-extraction>
3. S. Wu et al., "A 7nm CMOS platform technology featuring 4th generation FinFET transistors with a 0.027um² high density 6-T SRAM cell for mobile SoC applications," 2016 IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, 2016, pp. 2.6.1-2.6.4 doi: 10.1109/IEDM.2016.7838333 <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7838333&isnumber=7838021>
4. A. Alan, et al., "More-than-Moore White Paper," International Roadmap for Devices and Systems, 2016 Edition. http://www.itrs2.net/uploads/4/9/7/7/49775221/irc-itrs-mtm-v2_3.pdf
5. J. Chang et al., "12.1 A 7nm 256Mb SRAM in high-k metal-gate FinFET technology with write-assist circuitry for low-VMIN applications," 2017 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, 2017, pp. 206-207. doi: 10.1109/ISSCC.2017.7870333 <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7870333&isnumber=7870233>
6. John Ferguson, Keith Felton. "Implementing Fan-out Wafer-Level Packaging with the Mentor HDAP Flow." Mentor, a Siemens Business. June, 2017. http://s3.mentor.com/public_documents/whitepaper/resources/mentorpaper_98612.pdf
7. Y. Peng, T. Song, D. Petranovic and S. K. Lim, "Full-chip inter-die parasitic extraction in face-to-face-bonded 3D ICs," 2015 IEEE/ACM International Conference on Computer-Aided Design (ICCAD), Austin, TX, 2015, pp. 649-655. doi: 10.1109/ICCAD.2015.7372631 <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7372631&isnumber=7372533>

8. Y. Peng, T. Song, D. Petranovic and S. K. Lim, "Parasitic Extraction for Heterogeneous Face-to-Face Bonded 3-D ICs," in IEEE Transactions on Components, Packaging and Manufacturing Technology, vol. 7, no. 6, pp. 912-924, June 2017. doi: 10.1109/TCPMT.2017.2677963 <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7891893&isnumber=7936682>
9. BSIM-MCG Model, BSIM Group, Department of Electrical Engineering and Computer Sciences (EECS), University of California, Berkeley. <http://bsim.berkeley.edu/models/bsimcmg/>
10. D. C. Chen et al., "Compact modeling solution of layout dependent effect for FinFET technology," 2015 International Conference on Microelectronic Test Structures, Tempe, AZ, 2015, pp. 110-115. doi: 10.1109/ICMTS.2015.7106119 <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7106119&isnumber=7106093>
11. K. Zhai, Q. Zhang, L. Li and W. Yu, "A 3-D parasitic extraction flow for the modeling and timing analysis of FinFET structures," 2013 International Conference on Communications, Circuits and Systems (ICCCAS), Chengdu, 2013, pp. 430-434. doi: 10.1109/ICCCAS.2013.6765268 <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6765268&isnumber=6765171>
12. R. Pandey, N. Agrawal, R. Arghavani, S. Datta, "Analysis of Local Interconnect Resistance at Scaled Process Nodes," 2015 Device Research Conference (DRC), June 21-24, 2015. doi: 10.1109/DRC.2015.7175620 <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7175620&isnumber=7175519>
13. Dusan Petranovic; James Falbo; Nur Kurt-Karsilayan, "Double pattern-ing: solutions in parasitic extraction," Proc.SPIE 8684, Design for Manufacturability through Design-Process Integration VII, 86840M (29 March 2013). doi: 10.1117/12.2010838 <http://spie.org/Publications/Proceedings/Paper/10.1117/12.2010838>
14. Robertson, Carey. "Parasitic extraction in the age of double-pattern-ing", EE Times, April 30, 2013. http://www.eetimes.com/author.asp?section_id=36&doc_id=1287262
15. B. N. Sheehan, "Realizable Reduction of RC Networks," in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 26, no. 8, pp. 1393-1407, Aug. 2007. doi: 10.1109/TCAD.2007.891374 <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4271561&isnumber=4271545>

西门子数字化工业软件

美洲：1 800 498 5351

欧洲、中东及非洲地区：

00 800 70002222

亚太地区：001 800 03061910

如需其他地区电话号码，请单击[此处](#)。

关于西门子数字化工业软件

西门子数字化工业软件不断推动数字化企业转型，让工程、制造业和电子设计遇见未来。西门子数字化工业软件的硬件和服务全面集成式产品系列，可助力各种规模的企业打造全面数字孪生，带来新的洞察、新的改进机遇和新的自动化水平，让技术创新如虎添翼。如需了解有关西门子数字化工业软件产品和服务的详细信息，请访问 siemens.com/software 或关注我们的 [LinkedIn](#)、[Twitter](#)、[Facebook](#) 和 [Instagram](#) 帐号。

siemens.com/software

© 2023 Siemens. 可在[此处](#)查看相关西门子商标列表。

其他商标属于其各自持有方。

81845-D4-ZH 4/23 in-c