



西门子数字化工业软件

用于异构集成的芯粒模型的 标准化建议

内容摘要

本文作者是芯粒设计交换 (Chiplet Design Exchange, CDX) 小组的成员，在文中提出了一套标准化芯粒模型，其中包括热、物理、机械、IO、行为、电源、信号和电源完整性、电气特性和测试模型，以及有益于将芯粒集成到设计的相关文档。此外，安全可追溯性保证作为一种新兴的需求，可确保芯粒和最终封装器件具备可信赖的供应链和操作安全性。强烈建议提供这些模型的电子可读版本，以方便在设计工作流程中使用。

Anthony Mastroianni, 西门子 EDA ; Benjamin Kerr, 谷歌 ; Jawad Nasrullah, Palo Alto Electron ; Kevin Cameron, Cameron EDA ; Hockshan James Wong, Palo Alto Electron ; David Ratchkov, Thrace Systems ; Joseph Reynick, 西门子 EDA

目录

简介	3
论文范围	4
组织	4
芯粒的定义和特征	4
对芯粒模型的需求	5
芯粒模型	7
热	7
物理、机械和 IO	7
行为	9
功耗	10
信号完整性分析	10
电源完整性分析	11
电气属性	11
测试	12
安全代理（可选）	14
文档和指南	14
结语	16
致谢	16
参考文献	16

I 简介

随着晶体管缩放带来的经济效益不再普遍适用，半导体行业迎来一个拐点：成本的升高、良率的下降和光刻尺寸的限制，推动了传统的单片解决方案亟需可行的替代方案。我们看到的是向创新封装技术的转变，以支持系统扩展需求并降低系统成本。这推动了一种新兴趋势，即将通常作为单个同构片上系统 (SoC) ASIC 芯片，分拆为未封装的分立式 ASIC 小芯片，也称为芯粒。这些芯粒通常提供在最佳芯片工艺节点中实现的特定功能。使用高速/高带宽接口将一些这类芯粒器件互连并安装到单个封装内，就能以更低的成本提供单片解决方案或实现更高的性能，同时提高良率并降低功耗，而面积仅比同构集成的先进封装略大一点点。

随着无晶圆厂半导体公司开始将这些分散的芯粒推向市场，这些芯粒的成功采用需要行业制定一套标准化的接口协议，以便在不同供应商的芯粒之间提供即插即用的兼容性，从而创建真正开放的生态系统和供应链。将这些来自多供应商的芯粒集成到一个异构封装组件中，还需要芯粒供应商为其客户提供一套标准化的设计模型交付物，以确保最终EDA工具设计工作流程的可操作性。

在本文中，我们提出了一套标准化的芯粒模型，其中包括热、物理、机械、IO、行为、功率、信号和电源完整性、电气特性和测试模型，以及有益于将芯粒集成到设计的相关文档。此外，安全可追溯性保证作为一种新兴的需求，可确保芯粒和最终封装器件具备可信赖的供应链和操作安全性。

强烈建议提供这些模型的可读版本，以方便在设计工作流程中使用。模型应利用现行的行业标准，并根据需要定义扩展和/或新标准。所建议模型的初始范围目前仅针对基于 2.5D 中介层的设计。请注意，这类 2.5D 结构可能包括硅中介层、硅桥或有机扇出/RDL 封装技术，后者也称为“有机中介层”。要满足 3D 设计需求，还需要更多或经修改的交付物。

I 论文范围

组织

芯粒设计交换 (CDX) 是在开放式计算项目基金会 (OCP) 指导下的开放式特定领域架构 (ODSA) 子项目下的一个工作组。CDX 小组由来自 EDA 供应商、芯粒供应商和 SiP 最终用户的成员组成，致力于推荐标准化的芯粒机器可读模型和工作流程，来促进芯粒生态系统的发展。该小组正在积极编制一份包含这些模型和工作流程的白皮书。本文总结了该 CDX 白皮书中目前建议的建模章节。其他 ODSA 工作组也在研究裸片到裸片 (D2D) 接口协议及其他相关的芯粒主题。

芯粒的定义和特征

芯粒可以定义为专门设计和优化的裸片，用于在封装内与其他芯粒协同运行。所用的接口是主要的区分特征。芯粒与传统裸片的不同之处在于，芯粒通常不能单独封装并且仍然有效运行；而传统裸片则具有足够强大的 IO 驱动器，可以在更长的电气距离上实现信号传输。可以根据芯粒到芯粒接口上的以下关键指标来总结优化芯粒在封装内运行：

- 能源效率 (pJ/bit)
- 裸片前端带宽 (Gbps/mm)
- 面积效率 (Gbps/mm²)
- 延迟 (ns)
- 通信范围 (mm)
- 输入输出连接间距 (m)

以上所列并非详尽清单，还有其他可能适用的指标。

芯粒的每比特能耗往往要低得多，因为它最多只需要在几毫米或几十毫米的距离上驱动信号。鉴于需要这些芯粒彼此协作以实现高效运行，这些连接的延迟也针对大多数应用进行了优化。

I 对芯粒模型的需求

由于通用芯粒供应商提供的器件需要在异构封装设计中使用，因此有必要提供一套标准化的设计模型，以确保电子设计自动化 (EDA) 设计工作流程中的可操作性。在本文中，我们提出了一套将由各个芯粒供应商提供的标准化芯粒模型。我们强烈建议提供这些模型的可读版本，以方便在设计工作流程中使用。这些模型应利用现有的可用行业标准，对这些标准进行扩展，并在必要时补充新的标准。

表 1. 总结了为实现可用的芯粒生态系统而建议的芯粒模型。

并非所有芯粒都需要所有这些模型，但必须提供一套核心交付物，以支持将芯粒 IP 的设计集成、验证和测试推进到 SiP 设计。这些模型的范围目前仅针对基于中介层的 2.5D 设计。请注意，这些 2.5D 结构可能包括硅中介层、硅桥或有机扇出技术，后者也可被视为“有机中介层”。为了满足 3D 设计的需求，还需要更多或经修改的交付物。

模型	描述
热	ECXML – JEDEC JEP181
物理、机械和 IO	库交换格式 (LEF) GDSII 或 OASIS SPICE JEDEC JEP30-P101/ZEFXML 可选：Verilog 到物理管脚映射文件 (CSV)
行为	SystemVerilog IEEE – 1800-2017 推荐：Verilog-AMS 2.4 可选：SystemC IEEE – 1666-2011 可选：总线功能模型 (BFM)
电源	Liberty (.LIB) 支持系统级分析的 IEEE2416 功率建模标准 可选：统一功率格式 (UPF)– IEEE 1801-2018 或芯片功率格式 (CPF) 可选：Verilog-AMS 2.4 可选：SystemC IEEE – 1666-2011
信号完整性分析	IBIS/IBIS-AMI 可选：SPICE 网表（用于 IO 驱动器和/或接收器） 可选：通道模型
电源完整性分析	芯片功率模型 (CPM)
电气属性	JEDEC JEP30-E101/ZEFXML
测试	边界扫描描述语言 (BSDL) – IEEE 1149.1 BSDL – IEEE 1149.1/1149.6 ATPG 模型 - 基于基元/UDP 的 Verilog 附带 PDL 和 ICL 的内部 JTAG (IJTAG) IEEE 1687 可选：IEEE-1500 内核测试语言 (CTL) 需要它的 IP 内核描述 可选：IP 固件（如果适用） 推荐：灰盒级网表 全芯片 ATPG 矢量 – STIL (IEEE1450.1) 或并行 WGL 全芯片存储器 BIST/修复矢量 – STIL (IEEE1450.1) 或并行 WGL 可选：统一功率格式 (UPF)– IEEE 1801 或芯片功率格式 (CPM)
安全	可选：安全代理
文档和指南	一般芯粒文档 SiP 物理集成指南 SiP 测试指南 可选：固件（如果适用） 可选：安全

表 I. 模型

I 芯粒模型

热

SiP 设计中的每个芯粒都需要热模型，以执行封装级热分析。每个芯粒组件的热仿真工具所需的信息均在行业标准 ECXML – JEP30-T181 JEDEC 模型中提供。该模型包含芯粒的 3D 描述、材料热特性，以及概括器件功率概况的功率图。CDX 工作组已提交了一项提案，以在 JEP30-T181 JEDEC 标准中增加对阵列和球形管脚的支持。当前标准支持稳态功率/热模型，但在未来的标准更新中可能会考虑基于时间的分段线性 (PWL) 功率概况，以支持 SiP 器件的瞬态热行为。

功率图应提供足够的芯粒组件粒度，以用于 SiP 级热分析。这可以包括每个顶层模块的功率估算和/或每个网格元素的功率估算二维网格。最低要求是针对整个芯粒的单一模块功率估算。该标准还支持双电阻热模型，但不建议将此模式用于 SiP 级分析。如果适用，应该为不同的功能操作模式提供单独的模型。如果主要功能测试模式与功能模式明显不同，则应该为主要功能测试模式提供单独的模型。

物理、机械和 IO

库交换格式 (LEF)

LEF 芯粒模型定义了每个芯粒凸块管脚的 2D 物理尺寸、层和电气网络名称。该模型适用于 SiP 级物理设计。LEF 模型历来用于定义 ASIC 布局布线 (PNR) 工具所用的 ASIC IP 宏的抽象版图视图。LEF 视图还可用于定义内部 ASIC 宏和 SiP 级组件的抽象版图视图，包括封装规划、设计和验证工具使用的芯粒。LEF 视图还包含已定义结构的节点信号信息。PNR LEF 视图通常仅包含管脚连接点中心的 X/Y 坐标。PNR LEF 视图还可能包含封装设计不需要的其他信息，例如 PNR 阻挡层。

用于封装设计的 LEF 模型的设计意图不同于 ASIC 设计，通常需要不同的 LEF 模型，我们可以称其为“封装”LEF 模型。封装 LEF 模型应包含封装设计和验证流程所需的全部物理管脚几何信息。芯粒封装 LEF 模型应包含芯粒裸片的轮廓几何形状，包括切割线和顶层金属层的外层几何边界。还应包含每个管脚的顶层 2D 管脚几何描述，包括微凸块、硅通孔 (TSV) 和探针焊盘，以及管脚节点名称。

图形设计系统/开放式原图系统交换标准

GDSII/OASIS 芯粒模型定义了每个芯粒管脚的 2D 物理尺寸和层。该模型用于 SiP 级 DRC、版图与电路图比较 (LVS) 以及物理组装。GDSII 格式创立于 1970 年代，至今仍是一种有效的标准。OASIS 格式创立于本世纪初期，与 GDSII 格式相比，它包含的结构可以更高效地表示大型数据库的几何信息。大多数 ASIC 和封装设计工具通常都支持这两种格式，并且这些格式可以轻而易举地相互转换。厂商可以为芯粒模型提供任何一种或同时提供两种格式。

芯粒 GDSII/OASIS 模型应包含芯粒裸片的轮廓几何形状，包括切割线和顶层金属层的外层几何边界。还应包含每个管脚的顶层 2D 管脚几何描述，包括微凸块、TSV，并且可以选择包括探针焊盘。如果装配商需要对齐键来进行组装，这些结构也应包含在芯粒的 GDSII/OASIS 模型中。还可以选择通过将文本属性附加到相应的管脚，来定义管脚节点名称。

SPICE

SiP 级设计的电气连接关系是使用 LVS 设计流程进行验证。由于设计的芯粒组件是固定的，因此只有与顶层芯粒管脚的连接需要为 SiP 设计定义和验证。为了支持这一流程，每个芯粒都提供了一个 SPICE 级黑盒网表模型，定义了顶层单元名称和所有顶层外部管脚，包括微凸块、TSV 和可选的探针焊盘。建议这些管脚名称与 LEF、GDS 和 SystemVerilog (SV) 功能管脚名称保持一致。

JEDEC JEP30-P101

JEDEC JEP30-P101 是用于定义用在 SiP 级连接和组装的所有芯粒及相关外部管脚的机械和 IO 属性、公差及相关信息的模型。有几种不同类型的物理管脚互连技术被用来将芯粒裸片连接到中介层/桥和/或基底。对于 2.5D 应用，这些管脚类型通常包含用于将裸片连接到中介层或硅桥的微凸块结构，以及用于将裸片通过中介层连接到基底的 TSV。微凸块结构是特定于工艺的结构，可能包含铜柱或焊球互连。TSV 结构也是特定于工艺的结构。此外，芯粒裸片上通常包含探针焊盘结构，以支持在封装组装之前对裸片进行晶圆级测试。该模型需要 3D 描述以及连接结构的材料属性。SiP 的设计和验证以及芯片装配商都需要此信息。实际芯粒器件的交付机制也应定义为晶圆级或单芯裸片。该信息用于 SiP 组装过程。

zGlue 芯粒信息交换格式 (ZEF) 是一种开源格式，用于定义封装器件的机械、IO 和电气特性 [1]。ZEF 格式正处在向 XML 格式迁移的过程中，将被称为“ZEFXML”。大家正在考虑使用这种格式的变体来定义未封装的芯粒器件的相关机械、IO 和电气信息。

新 ZEFXML 开放标准的机械和 IO 部分将被提议为封装和未封装芯粒的新格式。机械信息将采用 JEP30-P101 和 IO JEP30-E101 架构。有关 ZEFXML 的更多详细信息，请参阅第 G 节。

Verilog 到物理管脚映射文件/CSV 表（可选）

建议所有管脚名称尽可能与 LEF、GDS 和功能 SV 管脚名称保持一致。如果芯粒 SV 模型中定义的芯粒功能管脚名称与 LEF 和/或 GDS 映射文件中定义的管脚不同，则应提供一份 CSV 表，将 SV 模型中的相关功能管脚映射到 SPICE、LEF 和/或 GDS 管脚。

行为

每个芯粒组件的行为模型都需要支持 SiP 级和可选的系统级功能仿真。Verilog 是一种 IEEE 标准硬件描述语言，用于对电子系统的功能进行建模。功能仿真器使用这些模型来仿真电子系统的组件、SiP 和系统级行为。对于包含模拟功能的芯粒，应考虑 Verilog 的模拟扩展 Verilog-AMS。SystemC 是芯粒供应商可能支持的另一种可选格式，以用于更高级别的系统级分析和优化。

SystemVerilog IEEE – 1800-2017

SystemVerilog (SV) 是 Verilog HDL 语言的超集，包含用于开发功能验证测试台的规定。芯粒供应商应该为其器件提供准确的功能模型，以用于 SiP 级和系统级功能仿真。芯粒供应商可以选择考虑提供以 SV 编写的测试平台，用于在 SiP 和/或系统级功能验证的情景中对器件进行单元级测试。

Verilog-AMS 2.4（推荐）

Verilog-AMS 是 Verilog 硬件描述语言 (HDL) 的扩展，包含对混合信号电路和系统的模拟功能及结构化描述进行建模的构成。它现在是器件建模的标准语言（取代了 SPICE 中的 C）。除了 SV 模型之外，芯粒供应商还可以选择考虑提供器件的 Verilog-AMS 模型。这通常建议用于包含模拟功能的芯粒组件。这些模型可以与 RTL 和/或电路级仿真工具一起使用。其他信息，如模拟行为、热和成本信息，也可能由芯粒供应商酌情决定。

这些模型可在 SiP 和/或系统级仿真的情景中用于对芯粒进行建模，它也可用于架构探索和性能建模。

Verilog-AMS 在芯粒方面优于其他语言的主要优势在于，它使用“规范”来标记导线类型，包括电气、热、流体、光学，以及应用于芯片或芯粒拼接到系统级的可能射频。虽然在 Verilog-AMS 中混用多规范“导线”是非合法的，但其他 HDL 认为一切都是电气的，反而更容易出错。要与 Verilog 兼容，可以轻松剥离规范信息。

SystemC IEEE – 1666-2011（可选）

以 SystemC 为芯粒编写的可选功能模型在 SiP 和/或系统级仿真的情景中被用于对芯粒进行电子系统级或事务级建模。SystemC 也可用于架构探索、性能建模和软件开发。除了 SV 模型之外，芯粒供应商还可以选择考虑提供器件的 SystemC 模型。这些模型可以与系统级设计和分析工具一起使用。芯粒供应商也可酌情决定是否包含更多信息，如模拟行为、热和成本信息。这些模型可在 SiP 和/或系统级仿真的情景中用于对芯粒进行建模，也可用于架构探索、性能建模和软件开发。

总线功能模型（可选）

一些芯粒器件，例如处理器件，可能包含周期精确的总线功能模型 (BFM)，这些模型可用于 SiP 和/或系统级功能验证。如果该模型为 Verilog 格式，则可以用作 SV 模型的补充或取而代之。

功耗

Liberty (.LIB)

Liberty 模型包括基于时钟周期和内核 I/O 工作电压电平的芯粒功率模型。该模型可在 SiP 和/或系统级仿真的情景中用于对芯粒的功率进行建模。如果适用，应该为不同的功能操作模式提供单独的模型。如果主要功能测试模式与功能模式明显不同，则应该为主要功能测试模式提供单独的模型。

IEEE 2416

IEEE 2416 功率建模标准基于方程式、测量或仿真数据分析芯粒。单一模型可以捕获不同的操作模式下的功率。如果测试模式与功能模式明显不同，则应提供测试模式的功率。

统一功率格式 – IEEE 1801-2018 或芯片功率格式

统一功率格式 (UPF) 或芯片功率格式 (CPF) 模型用于定义芯粒器件的功率意图和功率实现，包括所有独特的功率域和电源。SiP 封装和/或系统设计团队可以使用芯粒 UPF/CPF 模型来规划、实现和验证对 SiP 封装设计中每个芯粒的功率输出。如果适用，应该为不同的功能操作模式提供单独的模型。如果主要功能测试模式与功能模式明显不同，则应该为主要功能测试模式提供单独的模型。

信号完整性分析

IBIS/IBIS-AMI

输入/输出缓冲器信息规范 (IBIS) 模型是在类似 SPICE 的仿真器上运行的 I/O 缓冲器简化模型，适用于电路板和 SiP 级信号完整性分析。传统的 IBIS 模型是基于 ASCII 表格的电流与电压 (I-V) 模型，并包含缓冲器的寄生 RC 信息。IBIS-AMI 模型是在 SerDes 通道仿真器上运行的更复杂的 I/O 缓冲器模型，适用于高速、板级信号完整性分析。这些模型包括两个 ASCII 文件 (.ibs 和 .ami) 和一个特定于平台的可执行模型 (Windows 平台的 .dll 和 Linux 平台的 .so)。多千兆串行链路通常需要这些模型。IBIS 模型作为简化模型，允许 IP 供应商隐藏 I/O 缓冲器设计的细节。或者，芯粒供应商也可以提供 I/O 缓冲器的详细或简化 SPICE 网表，作为 IBIS 模型的补充或替代。

芯粒供应商可以为高速 D2D 接口提供可选的通道模型，以协助信号完整性工程师设置和分析这些接口。这些 D2D 接口的通道要求应由相应的芯粒和 SoC-PHY 供应商以工具可读的格式定义。Touchstone 模型用于定义插入损耗、回波损耗和串扰规范。可以用 XML 格式捕获眼图规范（眼图模板的宽度和高度）。我们将考虑建议在 JEP30-E101 JEDEC 标准中增加眼图规范。

电源完整性分析

芯片功率模型

芯片功率模型 (CPM) 是一种事实上的标准，用于通过芯粒的电源和接地管脚，对完整芯片的静态和瞬态功率概况进行建模，包括芯粒供电网络内部的电阻-电感-电容 (RLC) 寄生效应。这些模型用于在电路板级和 SiP 级别执行 SPICE 级电源完整性分析。如果适用，应该为不同的功能操作模式提供单独的 CPM 模型。如果主要功能测试模式与功能模式明显不同，则应该为主要功能测试模式提供单独的模型。

电气属性

JEP30-E100 是一项 JEDEC 标准，其中包含零件和相关端子的电气和功能属性。我们建议使用此标准来捕获芯粒组件及其相关管脚（即端子）的电气和功能属性。

可以指定有条件或无条件的属性值。JEP30 架构是一个容器，可以在其中使用值、条件和方程式指定属性。可以在现有的标准中添加和/或删除芯粒器件独有的其他属性。芯粒供应商可以遵守标准值和/或指定他们自己的值。

ZEF 是一种开源格式，用于定义封装器件的机械、IO 和电气信息，并可用于构建芯粒属性容器。ZEF 是以 CSV 格式定义。ZEFXML 是 XML 格式的增强版 ZEF，可以更好地支持多值数据、数据分组以及自定义单位和数据。它基于架构并以 XML 架构定义 (XSD) 进行描述。而且它能轻松扩展，并向后兼容较早版本。

存在如下定义的三个数据交换 XML 文件，其中每一个都由关联的 XSD 文件定义。

- 机械 – 所有 x、y、z、容差、焊接类型和材料属性
- IO – 管脚位置、功能、操作模式、电气特性 (EC)、最大绝对值、操作条件、允许的 RLC、电压基准、基于温度的电压和电流 (VI) 管脚特性
- 电气 – 包含总体绝对最大额定值、推荐的操作条件、ESD 等级和电气特性，如均方根 (RMS) 电流限制

有一个 XSD 文件定义了与每种文件类型关联的架构。每个文件的第一行由文件描述和每个参数的名称及对应值组成。

- mech_zef.xsd
- io_zef.xsd
- elect_zef.xsd

文件名遵循命名约定 <OPN>_<TYPE>_zef.xml，其中：

- OPN – 可订购零件号，这是制造商的唯一产品标识符
- TYPE – 表示文件类型，可以是 MECH、IO 或 ELECT

例如，BQ27426YZFT 芯粒将具有：

- BQ27426YZFT_mech_zef.xml
- BQ27426YZFT_io_zef.xml
- BQ27426YZFT_elect_zef.xml

ZEF 和 ZEFXML 信息可在 GitHub 网址 <https://github.com/zglue/zef> 上获得。

芯粒安全工作区 (SOA) 和条件的属性示例总结如下：

- 管脚上的电压电平
- 管脚和凸块的最大 RMS 电流限制 (如果适用)
- 最大电容 (也在 .LIB 中定义)
- 允许的电压过驱动/欠驱动
- ESD 等级
 - 人体模型
 - 带电器件模型 (CDM)
 - 机器模型 (MM)
- 热限制
 - 最小/最大结点
 - 允许方程式
- 未来的考虑
 - 冲击和振动等级
 - RadHard 评级
 - 电源排序
 - 静态电压调整图
 - 动态电压调整
 - RFI 发射容差

测试

将多个 ASIC (芯粒) 器件集成到单个封装中, 给测试单独的芯粒器件以及芯粒之间的裸片到裸片 (D2D) 接口带来了多项挑战。尽管芯粒是由相应的芯粒供应商作为预先测试且已知良好的裸片 (KGD) [2] 器件交付, 但在装配过程中, 芯粒器件和/或 D2D 互连可能损坏或有缺陷。因此, 仍有必要测试各个芯粒。为方便进行这种封装内测试, 芯粒供应商将需要提

供相应的制造测试向量, 以确保器件在组装到 SiP 封装后仍可正常工作。此外还需要通过慢速和高速互连测试来测试所有芯粒之间的每个 D2D 接口。由于单个芯粒的许多测试管脚可能无法通过外部封装管脚使用, 因此需要高级 2.5D 和 3D 测试接入 [3] 方法 [4]。

传统 ASIC 器件的生产测试采用结构化可测试性设计 (DFT) 作为主要测试方法。边界扫描 [5] 用于 IO 和低速互连测试, MBIST/修复用于内部存储器测试, 扫描测试则用于内部数字逻辑。扫描测试也用于低速和高速 D2D 测试。模拟或 IP 测试还使用了其他测试技术, 包括功能向量、环回和其他内置自测试 (BIST) 逻辑测试。单独的芯粒测试、D2D 测试和任何顶层 IP 测试可以组合成一个完整的 ATE 生产测试程序, 用于多芯片 SiP 器件。SiP 集成商还可能纳入一些整体功能测试。

BIST 和 IP 相关的 ATE 测试通过标准 IEEE-1149.1 [5] 测试访问端口 (TAP) 串行接口进行访问或初始化, 该串行接口通常以 10 至 50 MHz 的较慢时钟速率运行。JTAG [6] 是用于 DFT 和 IP 测试的内部测试访问的首选方法。芯粒扫描测试将需要考虑封装管脚上的 IO 覆盖以及通过芯粒的协调馈通, 以支持标准扫描技术和更新的方法, 如基于数据包的扫描 [7]。在具有多个芯粒的 SiP 设计中, TAP TDI/TDO 测试管脚采用串行方式, 通过中介层实现从芯粒到芯粒的连接。由于 SiP 中的这些串行管脚采用“菊花链”连接, 因此 SiP 级边界扫描的运行速度将受到速度最慢的芯粒边界扫描的限制。此外, 具有大型中介层和许多芯粒的 SiP 设计将具有中介层布线寄生延迟, 这会进一步降低 SiP 器件的操作测试速度。为了尽可能减小这些延迟, 需要进行仔细的中介层测试布线和 SiP 规划以及静态时序分析和/或 SDF 时序仿真, 以验证 SiP 的互连延迟。

IP 测试方法可以包含串行或并行 D2D 功能接口。在生产测试和功能操作期间，可以使用封装内 SiP 边界扫描和具有通道冗余和修复的 IO BIST [8] 等技术来提高总体 SiP 良率。串行 D2D 互连测试技术可能包括适用于 USR/XSR SerDes 接口或其他连接到封装管脚的 PHY 的近端/远端和 D2D SerDes 环回。这些测试技术通常在购买的 IP 内核本身附带。芯粒供应商需要提供完整的 IP 测试和集成文档以及 PDL/ICL 支持文件，以简化 SiP 级向量生成和仿真。

在各自的测试模式下运行的芯粒器件的功耗可能明显高于功能模式的功耗，因此，仔细的电源规划、分析和控制 [9] 是被要求的。而且，应该为所有测试模式运行直流压降分析，以帮助确保良好的良率，并帮助规划和限制在测试期间 IR 压降的良率限制效应。

测试具有多个芯粒的 SiP 器件面临的另一个挑战是，调试嵌入式芯粒的失败测试向量。在传统的 ASIC 器件中，IP 供应商将根据要求为 ASIC 测试团队提供适用于各自 IP 的测试/诊断支持。芯粒供应商将提供测试向量和指南，以协助 SiP 测试团队开发 SiP 级测试程序。如果芯粒未能通过 SiP 级测试，则可能很难进行调试。芯粒调试和故障分析的所有权和责任，是芯粒供应商和 SiP 测试团队之间有待解决的问题。但是，芯粒供应商应提供足够的模型、网表和设计信息，以便 SiP 装配商能够轻松调试 D2D 测试失败和互连测试。

以下总结了一些已发布的测试标准和芯粒交付物。

1. 边界扫描描述语言 (BSDL) – IEEE 1149.1 [5]/IEEE-1149.6 [10]
芯粒边界扫描模型，用于系统和电路板级别的封装内和封装外低速 IO 及互连测试。根据需要，支持直流和交流耦合接口。描述 TAP 控制器，该控制器通常用作方便的测试访问机制，在芯粒的各种测试模式之间提供双向数据传输。
2. 自动测试向量生成 (ATPG) 模型 – 基于基元/用户数据报协议 (UDP) 的 Verilog 通用标准单元和 IO 模型用于测试逻辑和互连是必需的。推荐面向所有主流 EDA 供应商的 EDA 供应商特定模型。
3. 内部 JTAG (IJTAG) IEEE 1687 [6]
用于芯粒 IP 和 DFT 测试的测试模式设置和向量。
 - 仪器连接语言 (ICL) : 用于描述被测器件的内部测试硬件结构。
 - 过程描述语言 (PDL) : 用于为 IP 创建测试向量，如 SerDes，以及专门测试，并创建芯粒测试初始化序列，如 D2D 高速扫描测试的 PLL 初始化。也可作为嵌入式芯粒交付的一部分，用于存储器 BIST/修复向量。
4. IEEE-1500 内核测试语言 (CTL) 描述 [11] (可选)
芯粒高带宽存储器 (HBM) 的 PHY 到片外 HBM 堆栈 [8] 接口所需。其他情况下首选 IJTAG。
5. IP 固件 (必需，如果适用)
用于对芯粒和/或嵌入芯粒的 IP 核心 PHY 进行测试初始化。

6. 灰盒级网表 (强烈推荐)

测试逻辑接口的灰盒级网表, 通过移除层次化封装器扫描链和 IEEE 1838 相关逻辑之外的大部分芯片逻辑, 支持裸片到裸片 ATPG 和芯粒生产测试向量的仿真。大幅改善了完整的 SiP D2D 测试运行时间。

- 扫描
- 边界扫描
- 对于 3D : 芯粒 DFT 网表中包含了包括 PTAP/STAP、DWR、3DCR 和 FPP 在内的所有 IEEE 1838 [3] 逻辑。其中还包括任何相关的 ICL 和 PDL 文件。
- 最小/典型/最大 SDF : 所有附带网表的时序文件

7. 全芯片 ATPG 矢量 – STIL (IEEE1450.1) 或并行波形生成语言 (WGL)

由 DFT 测试工具生成的 ATPG 矢量, 用于通过芯粒 IO 管脚来测试芯粒器件的内部逻辑。

8. 全芯片 MBIST/修复矢量 – STIL (IEEE1450.1) [12] 或并行 WGL 测试向量

由 DFT 测试工具生成的 MBIST 或 LBIST 矢量, 用于通过芯粒 IO 管脚来测试芯粒器件的内部存储器或逻辑。

9. UPF – IEEE 1801 [13] 或 CPF (可选)

定义芯粒器件的功率意图和实现 (包括所有独有的电源域和电源) 的芯粒 UPF/CPF 模型。

安全代理 (可选)

安全代理是与芯粒一起提供的硬件和/或软件, 以使 SiP 的最终用户能够确保各个芯粒的可信供应链可追溯性。安全代理是可选的, 但对于某些安全关键用例可能是必需的。

芯粒裸片使用既有的加密技术, 通过系统级信任根设备 (例如 : OpenTitan) 进行身份验证。下载到芯粒裸片或用于更新芯粒裸片上的嵌入式固件的软件映像必须经过加密签名。这种技术的一个例子是如 [14] 中所讨论的物理不可克隆功能 (PUF)。一旦成功通过身份验证, SiP 就可以访问芯粒并启用到 SiP 的数据传输。如果身份验证方法失败, 则不允许向芯粒传输任何数据。芯粒将以静默方式忽略 SiP 的所有数据访问, 直到身份验证成功。不成功的身份验证尝试应报告给 SiP, 并由 SiP 记录验证失败的原因。

文档和指南

虽然强烈建议以机器可读的格式提供所有芯粒模型和规范, 但仍有必要提供文档以描述芯粒的功能和操作, 以及提供指南来利于 SiP 设计中的芯粒集成、功能/物理验证、分析和 ATE 生产测试。

一般芯粒文档

所有 ASIC 组件都提供了一份 IC 产品说明, 通常包括对器件、管脚输出、操作条件和电气/机械规格的详细描述。供应商应为芯粒提供说明书, 包括将在 ASIC 产品说明中提供的类似信息。由于芯粒是未封装的, 因此具体的封装信息将不适用。但是, 应提供信息来描述芯粒可以部署的封装技术, 以集成到 SiP 中。在适用的情况下, 芯粒供应商应记录兼容的封装组装供应商和工艺。还应提供用于将芯粒设计并组装到 SiP 器件的详细模型, 如本节中包含的其他建模项目所述。

由于产品说明中必须手动转移到软件工具的信息量很大而且非常复杂，出现人为错误的趋势很高，可能在设计流程的后期导致昂贵的修复成本。本文建议将产品说明中标注出的数据也存储在 JEDEC JEP30 PartModel 文件中，以便消费者可以直接、高效地将相关数据自动加载到他们的软件工具，避免引入错误。

SiP 物理集成指南

SoC IP 供应商通常提供集成指南，供 IC 和封装设计团队用来将其 IP 集成到自定义 ASIC 设计中。这些指南包括如何进行 IP 仿真并将 IP 集成到 ASIC 模块或布局规划以及验证 IP 的物理和电气完整性的信息。它们还包括检查清单、封装指南和要求，以及任何其他有助于设计团队成功集成 IP 的一般信息。一些供应商还提供可选的咨询支持和/或通过设计团队来支持设计评审，以确保其 IP 的集成和验证遵循指南的要求。相应的供应商应提供一套类似的芯粒 IP 指南，供 IC 和封装设计团队用来将其 IP 集成到定制 SiP 设计中。此外，还应考虑可选的咨询支持和/或设计审查支持。

SiP 测试指南

SoC IP 供应商通常会提供 DFT 和测试团队使用的测试指南，以支持其相关 IP 的 DFT 插入和 ATE 测试程序开发。还可能提供其他指南，以支持最终客户进行器件的工作台测试和调通。相应的芯粒 IP 供应商也应提供类似的芯粒 IP 测试指南，供 DFT、ATE 和功能调通测试团队使用，以支持在 SiP 设计情景中对相应芯粒进行 ATE 和功能测试。

固件（可选）

一些芯粒可能包含内部 IP 或逻辑，需要固件来测试和/或配置这些 IP 以在最终应用中使用。在适用的情况下，芯粒供应商应提供所需的固件、详细指南、文档和脚本，以支持在 SiP 设计情景中测试和/或配置相应的芯粒。

安全指南（可选）

芯粒供应商应提供关于安全技术硬件和/或软件集成的文档和指南，以支持 SiP 的最终用户实施和/或操作安全代理，从而确保相应芯粒具备可信赖的供应链可追溯性。

I 结语

以异构方式将芯粒器件集成到单个先进封装所带来的好处，正在有力地推动新市场和新型应用的需求。支持带有嵌入式 HBM 存储器的 2.5D 设计的封装技术和相关的 EDA 设计工作流程相对成熟，并且已经在生产设计领域应用多年。基于芯粒的器件的成功应用需要采用标准化芯粒模型来建立这一新兴的生态系统。本文提出的模型将由潜在的芯粒供应商开发并交付给他们的最终用户。尽管新提出的模型正式被采用为标准还需要一定的时间，但大多数应该可以在当前状态下使用。EDA 供应商也需要在其工具和工作流程中支持这些模型。除了建议的芯粒模型之外，2.5D 和 3D 组装规则的新标准还需要新的标准和格式。EDA 供应商和 2.5D/3D 制造供应

商目前正在就这些新标准开展合作，有望在芯粒生态系统在更广阔的市场上市之前部署到位。

致谢

在此，我们要特别感谢 CDX 同僚的参与，为这项工作提供了深入的讨论、点评和审查：Javier Delacruz (Arm)、Yin Hang (Facebook)、Meelan Lee (Chipletz)、Chris Ortiz (Ansys)、Anu Ramamurthy (Microchip)、Myron Shak (Applied Materials)、Marc Swinnen (Ansys)、Lihong Cao (ASE) 和 Ravi Agarwal (Facebook)。

参考文献

- 1 J. Nasrullah and J. Wong, "zGlue Chiplet Info Exchange Format (ZEF)," zGlue Inc, May 16, 2019, Accessed on: Oct 14, 2021. [Online]. Available: <https://github.com/zglue/ZEF>.
- 2 B. Vasquez, D. Van Overloop and S. Lindsey, "Known-good-die technologies on the horizon," in Proceedings of the IEEE VLSI Test Symposium, Cherry Hill, NJ, USA, 1994 pp. 356,357,358,359.
- 3 IEEE Std 1838-2019, "IEEE Standard for Test Access Architecture for Three-Dimensional Stacked Integrated Circuits," IEEE, USA, 2019.
- 4 E. J. Marinissen and Y. Zorian, "Testing 3D chips containing through-silicon vias," 2009 International Test Conference, 2009, pp. 1-11, doi: 10.1109/TEST.2009.5355573.
- 5 "IEEE Standard for Test Access Port and Boundary-Scan Architecture," in IEEE Std 1149.1-2013 (Revision of IEEE Std 1149.1-2001), vol., no., pp.1-444, 13 May 2013, doi: 10.1109/IEEESTD.2013.6515989.
- 6 IEEE Std 1687-2014, "IEEE Standard for Access and Control of Instrumentation Embedded within a Semiconductor Device," IEEE, USA, 2014.
- 7 J. F. Côté et al., "Streaming Scan Network (SSN): An Efficient Packetized Data Network for Testing of Complex SoCs," 2020 IEEE International Test Conference (ITC), 2020, pp. 1-10, doi: 10.1109/ITC44778.2020.9325233.
- 8 JEDEC Standard JESD235D, High Bandwidth Memory DRAM (HBM1, HBM2), February 2021.

- 9 P. Singh, R. Sankar, X. Hu, W. Xie, A. Sarkar and T. Thomas, "Power delivery network design and optimization for 3D stacked die designs," 2010 IEEE International 3D Systems Integration Conference (3DIC), 2010, pp. 1-6, doi: 10.1109/3DIC.2010.5751475.
- 10 "IEEE Standard for Boundary-Scan Testing of Advanced Digital Networks," in IEEE Std 1149.6-2015 (Revision of IEEE Std 1149.6-2003) , vol., no., pp.1-230, 18 March 2016, doi: 10.1109/IEEESTD.2016.7436703.
- 11 IEEE Std. 1500-2005, "IEEE Standard Testability Method for Embedded Core-based Integrated Circuits," IEEE, USA, 2005.
- 12 "IEEE Standard for Extensions to Standard Test Interface Language (STIL) (IEEE Std 1450-1999) for Semiconductor Design Environments," in IEEE Std 1450.1-2005, vol., no., pp.1-123, 30 Sept. 2005, doi: 10.1109/IEEESTD.2005.97746.
- 13 "IEEE Standard for Design and Verification of Low-Power, Energy-Aware Electronic Systems," in IEEE Std 1801-2018 , vol., no., pp.1-548, 29 March 2019, doi: 10.1109/IEEESTD.2019.8686430.
- 14 W. Che, F. Saqib and J. Plusquellic, "PUF-based authentication," 2015 IEEE/ACM International Conference on Computer-Aided Design (ICCAD), 2015, pp. 337-344, doi: 10.1109/ICCAD.2015.7372589.

西门子数字化工业软件

美洲：1 800 498 5351

欧洲、中东及非洲地区：00 800 70002222

亚太地区：001 800 03061910

如需其他地区电话号码，请单击[此处](#)。

关于西门子数字化工业软件

西门子数字化工业软件不断推动数字化企业转型，让工程、制造业和电子设计遇见未来。西门子数字化工业软件的软件和服务全面集成式产品系列，可助力各种规模的企业打造全面数字孪生，带来新的洞察、新的改进机遇和新的自动化水平，让技术创新如虎添翼。如需了解有关西门子数字化工业软件产品和服务的详细信息，请访问 siemens.com/software 或关注我们的 [LinkedIn](#)、[Twitter](#)、[Facebook](#) 和 [Instagram](#) 帐号。西门子数字化工业软件 – Where today meets tomorrow.

©2021 IEEE，保留所有权利。此白皮书的一个版本显示为 IEEE Xplore 中的一篇文章：<https://ieeexplore.ieee.org/document/9687611>。

siemens.com/eda

© 2022 Siemens. 可在[此处](#)查看相关西门子商标列表。

其他商标属于其各自持有方。

84427-D4-ZH 8/22 in-C