

西门子数字化工业软件

3D IC 异构装配的系统级 连接性管理和验证

内容摘要

捕获多基底 3D IC 装配中的预期系统级连接性可能很困难。当每个基底由不同的方法、团队和/或格式构建时尤其如此。

Tarek Ramadan, 西门子数字化工业软件

目录

简介	3
系统级连接性挑战	4
装配验证挑战	4
装配描述	4
多家制造商	5
系统级连接性挑战	6
捕获系统级连接性	6
跨设计领域装配验证	10
结语	11

简介

将多个芯片和基底集成到单个封装中仍然是半导体行业的主要焦点。与传统的晶体管缩小方法相比，先进封装技术有望改善外形参数、成本、性能和功能。图 1 显示了两种最常见先进封装方法的例子。

2.5D-IC 技术用于使用中介层并排连接多个芯片，该中介层可以是硅基或有机的。另一方面，扇出型晶圆级封装技术通过封装布线连接多个芯片。

过去几年里，业界重点关注的是先进封装的异构方面，也就是将采用不同工艺节点制造的多个芯片集成到单个封装中。

但是，最近，将大 SoC 分割为小芯片并通过硅中介层连接这些小芯片的技术也颇受关注。这种方法支持一种新的集成模式，设计人员可以将已经构建的模块（硬 IP）混搭到其产品中。此外，它使人们的注意力重新回到硅中介层上，而在过去，考虑到所涉及的技术方面，许多人认为使用硅中介层的集成方案成本过于高昂。

要实现这些先进封装方案的全面商业化，必须保证可接受的良率和正确的功能（符合预期）。就像集成电路 (IC) 设计一样，这种保证取决于设计公司是否有经过验证且合格的电子设计自动化 (EDA) 工具和流程能够用于放心地构建产品。就物理验证而言，设计人员需要确认完整装配（以制造格式提供）的连接符合预期（与物理实现之前在系统级设计中捕获的设计意图相比较）。要执行装配验证，设计人员首先应该能够按预期捕获 3D IC 装配连接性。这可能是一个挑战，因为装配的每个基底可能由不同的设计团队所有，我们将在下一节中讨论此挑战。

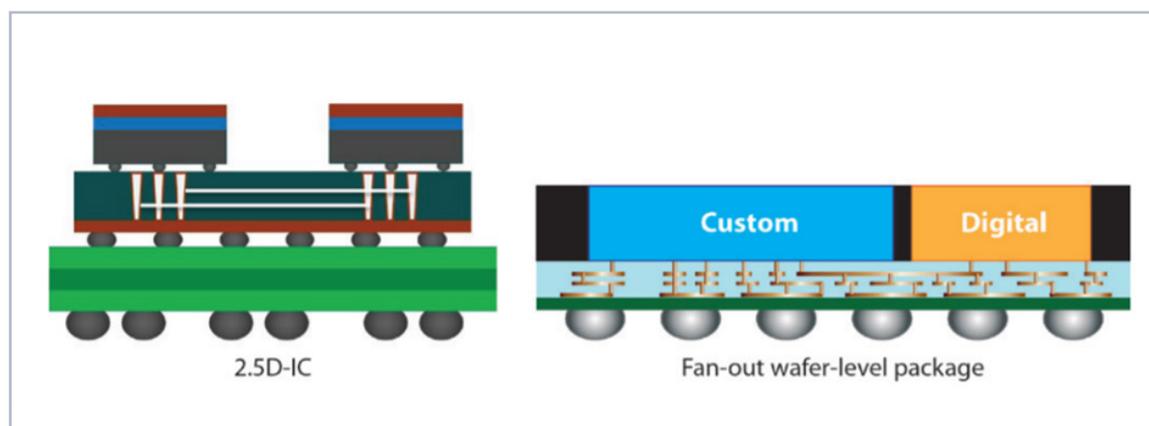


图 1：最常见先进封装方法示例。

系统级连接性挑战

3D IC 装配验证需要系统源网表，因此设计人员需要确保其能够捕获芯片、硅中介层和有机基底的全部预期连接性。硅中介层通常由具有 IC 设计背景并使用 IC EDA 工具和格式的 IC 设计团队所有。与此同时，有机基底通常归具有传统封装设计背景并使用相关 EDA 工具和格式的封装设计团队所有。

通常，有机基底的连接性以 CSV 文件格式捕获，基本上包括封装凸块 (x,y) 位置、管脚名称和编号以及网络名称。另一方面，中介层连接性可以通过许多方式捕获。多年来，中介层设计方法一直被认为介于 IC 与封装设计两者之间。但是，最近有相当多的

设计人员开始以类似于构建数字 SoC 的方式构建硅中介层。这利用自动布局布线 (P&R) 方法来完成，意味着中介层连接性通常以 Verilog 网表格式捕获。

为了同时捕获硅中介层 (Verilog) 的连接性和有机封装 (电子表格) 的连接性，系统级连接性规划和管理平台必不可少。设计人员需要一个 EDA 聚合平台，它能接受不同的连接性格式，允许用户修改和分配连接性 (交互式或批处理)，最终组合不同的网表并生成可驱动 3D IC 装配验证的单一系统级网表。下面讨论与 3D IC 装配验证相关的挑战。

装配验证挑战

装配描述

考虑一种典型的硅中介层情况，一家晶圆代工厂同时制造中介层和芯片。虽然单个芯片的物理验证是一个成熟的过程，但完整装配的物理验证还需要两个额外的步骤：

1. 中介层设计规则检查 (DRC) 及版图与电路图对比 (LVS)
2. 芯片对齐及与中介层的连接性

晶圆代工厂可以提供中介层的 DRC 和 LVS 作为标准 PDK 的一部分。这是因为，中介层格式和设计方法在某种程度上类似于标准芯片。然而，芯片对齐及与中介层的连接性带来了挑战，因为对于不同设计公司，甚至对于同一设计公司的不同项目，芯片的位置和方向可能会改变。图 2 显示了包含相同中介层的不同装配的示例。因此，穿过中介层的芯片间 DRC 和芯片间 LVS 可能要完全留给系统级设计人员负责并由其执行。



图 2 : 包含相同中介层的不同装配。

多家制造商

当验证涵盖多家制造商的多个基底时，完整装配验证的难度会呈指数级增长。在这种情况下，装配验证认为一个硅中介层（来自一家晶圆代工厂）堆叠在一个有机基底（来自一家 OSAT）之上。没有任何一家制造商能为整个系统提供 PDK。最好的情况是晶圆代工厂提供标准中介层 PDK，而 OSAT 提供一种简单的基底连接性检查方法。然而，整个系统（芯片到中介层到有机基底）的装配验证留给系统级设计人员进行，如图 3 和图 4 所示。

因此，系统级设计人员需要一种可靠而成熟的方法来生成装配验证所需的设置文件。理想情况下，这种方法应该考虑到完整装配，并且应该完全自动化，从而很好地适应系统级设计的环境和设置。

接下来的两节介绍西门子 EDA 如何解决与捕获 3D IC 系统级连接性和 3D IC 装配验证相关的挑战。

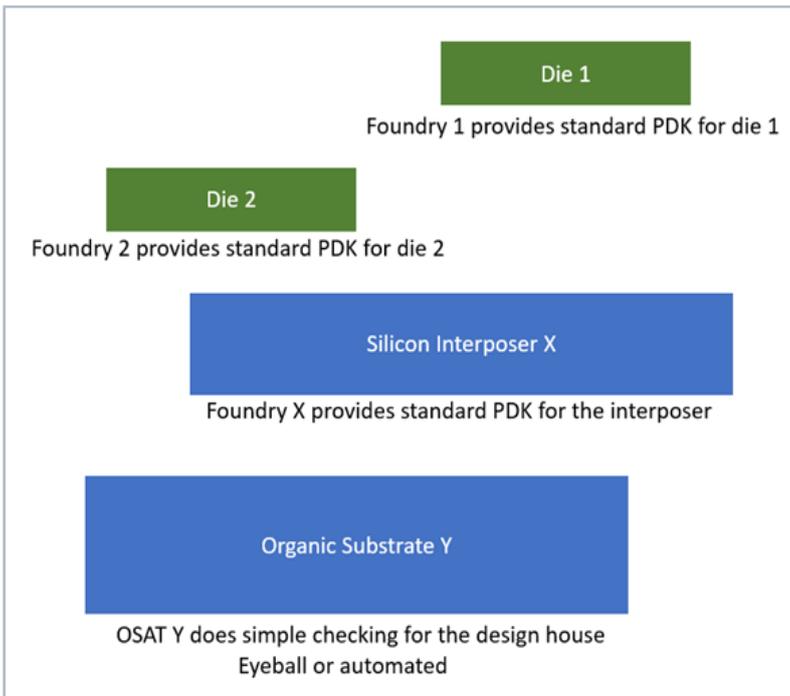


图 3 : “独立” 检查每个元器件。

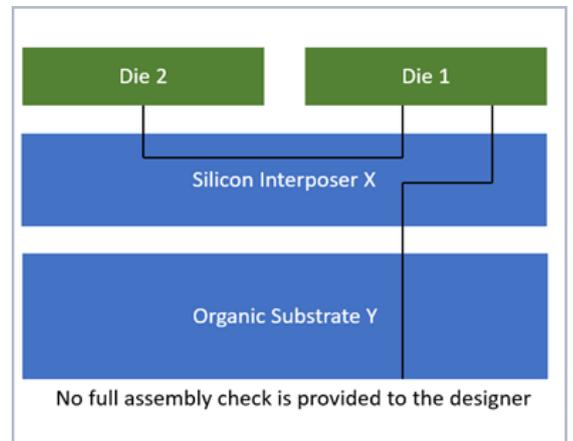


图 4 : 针对完整装配的“装配”检查。

系统级连接性挑战

捕获系统级连接性

Xpedition Substrate Integrator (xSI) 是西门子为系统级连接性捕获和管理提供的产品。它是单一的 EDA 平台，允许导入不同的芯片、中介层、封装和 PCB 抽象。在格式方面，用户可以导入 CSV、文本文件、LEF/DEF、ODB++ 以及其他许多格式。然后，用户可以交互式查看和修改完整装配的连接性，并最终导出一个可驱动装配验证的系统级装配网表。

最近，xSI 增加了对 Verilog 网表格式的导入支持，这在导入硅中介层连接性时非常有用。用户在导入 Verilog 网表时可以利用许多功能：

1. 使用 Verilog 网表在 xSI 中创建装配
2. 根据 Verilog 网表更新现有 xSI 装配的连接性
3. 如果 Verilog 实例名称与 xSI 实例名称不同，可在二者之间建立映射关系
4. 选择是仅更新 xSI 装配中的网络名称，还是根据 Verilog 网表同时更新网络名称和信号名称
5. 解析和分析 Verilog 网表，而不将其应用于 xSI 装配
6. 选择仅将某些实例从 Verilog 网表导入 xSI

目前，xSI 支持以批处理命令导入 Verilog 网表。不过，交互功能正在开发中。

图 5 显示了一个完整装配的示例，其中包括四个芯片、一个硅中介层和一个有机封装基底。可以看到，尚未为中介层分配系统级连接性（没有连接芯片的飞线）。

对于此设计，用 xSI 术语来描述，我们有两个布局规划：中介层和封装，如图 5 左侧所示。用户还可以查看各个芯片的连接性，如图 6 所示，并且可以看到芯片 U1 的功能信号（管脚）已列出（用户可以通过管脚列表文本或 CSV 文件导入这些信号）。但是，目前还没有网络名称可用。

对于此设计，中介层连接性以 Verilog 网表提供。西门子的 Visualizer Debug Environment 可用来查看 Verilog 网表，如图 7 所示。

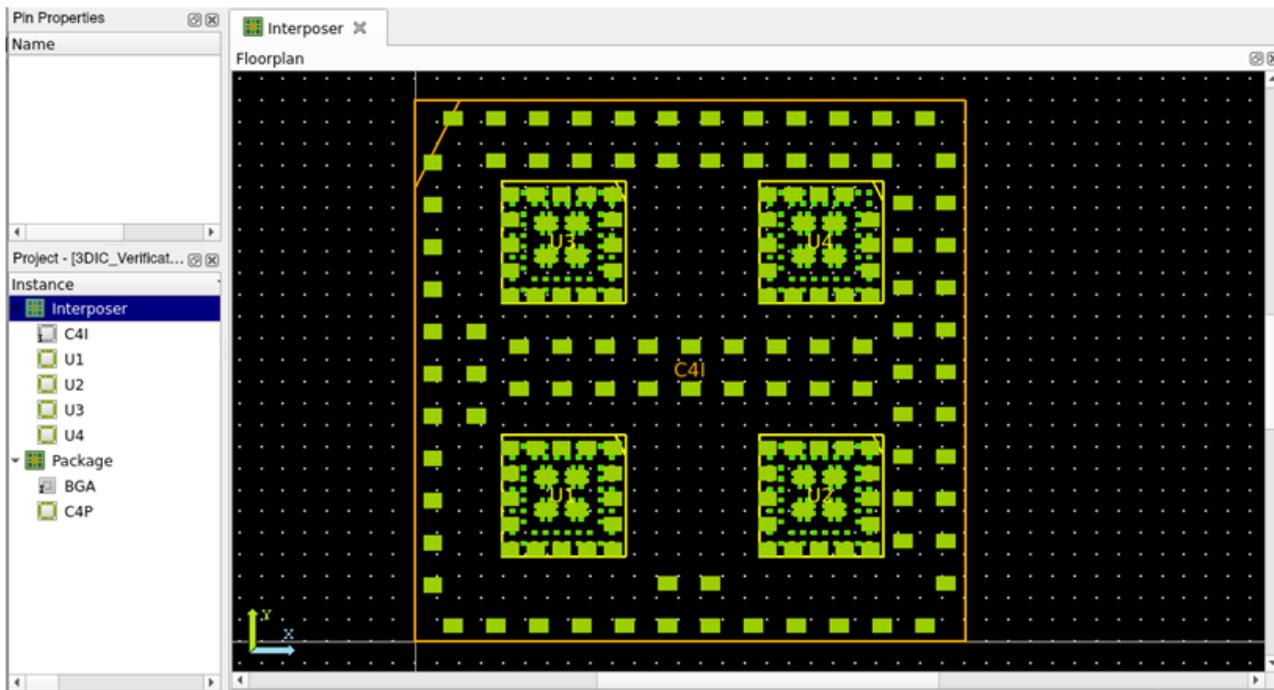


图 5：导入 Verilog 网表前的中介层布局规划视图。

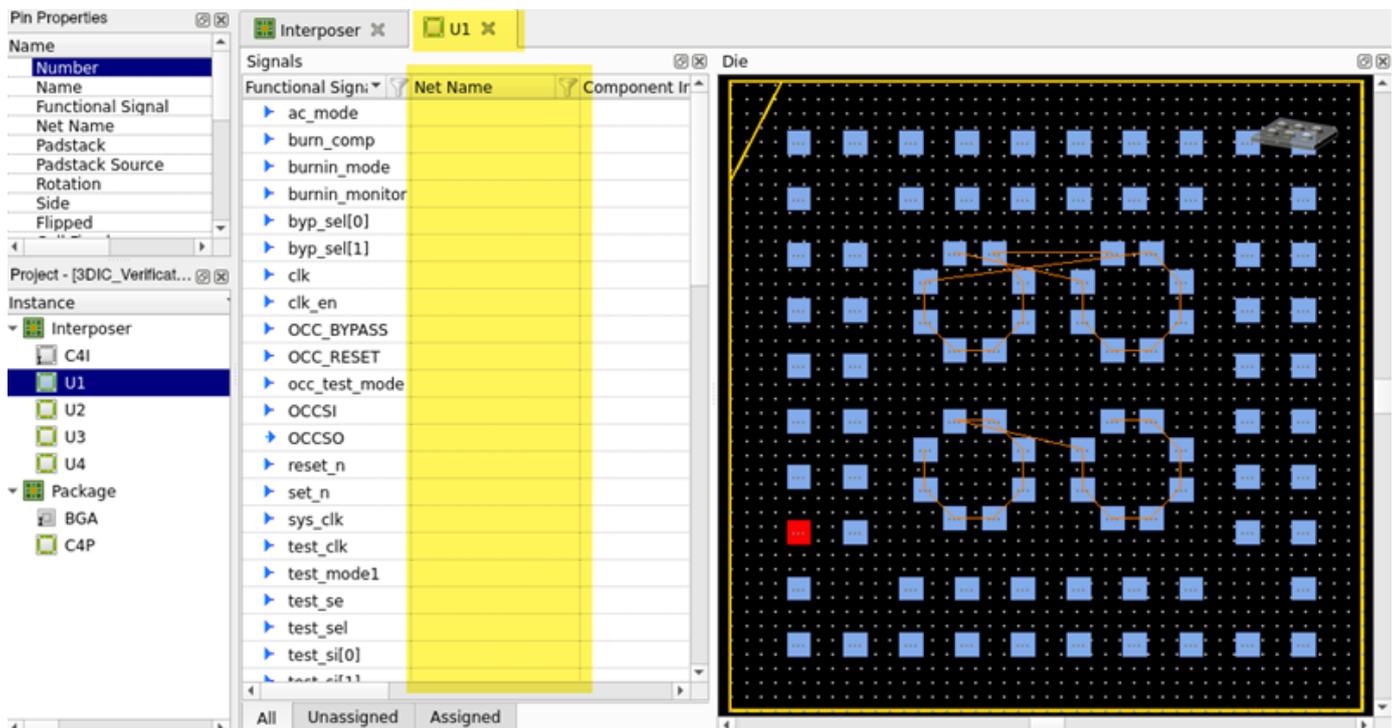


图 6：导入 Verilog 网表前的芯片视图。

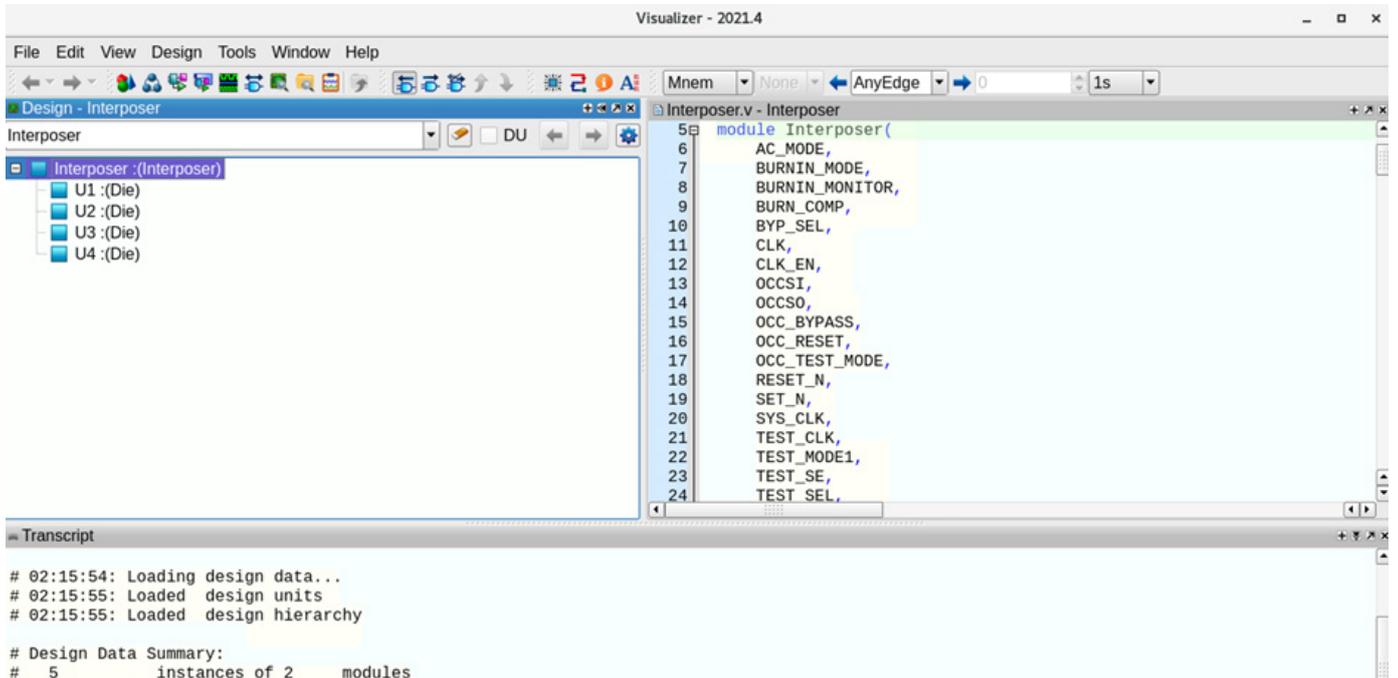


图 7 : Visualizer Debug Environment 中的中介层 Verilog 网表。

使用西门子的 Visualizer Debug Environment 可以将中介层 Verilog 网表视为电路图，如图 8 所示。可以看到，网表显示了四个芯片 (U1-U4) 的芯片间连接性以及一些顶层连接（添加时连接到 C4）。

出于 LVS 验证的目的，用户现在可以导出包含完整装配连接性的系统级网表。

现在，我们需要导入此中介层连接性（来源为 Verilog），并将其与 xSI 中的封装基底连接性（来源为 CSV）合并。在 xSI 中执行中介层 Verilog 网表导入功能时，连接四个芯片的飞线出现在中介层布局规划级别。另外，现在每个芯片的网络名称都在芯片级别可用，如图 9 和图 10 所示。

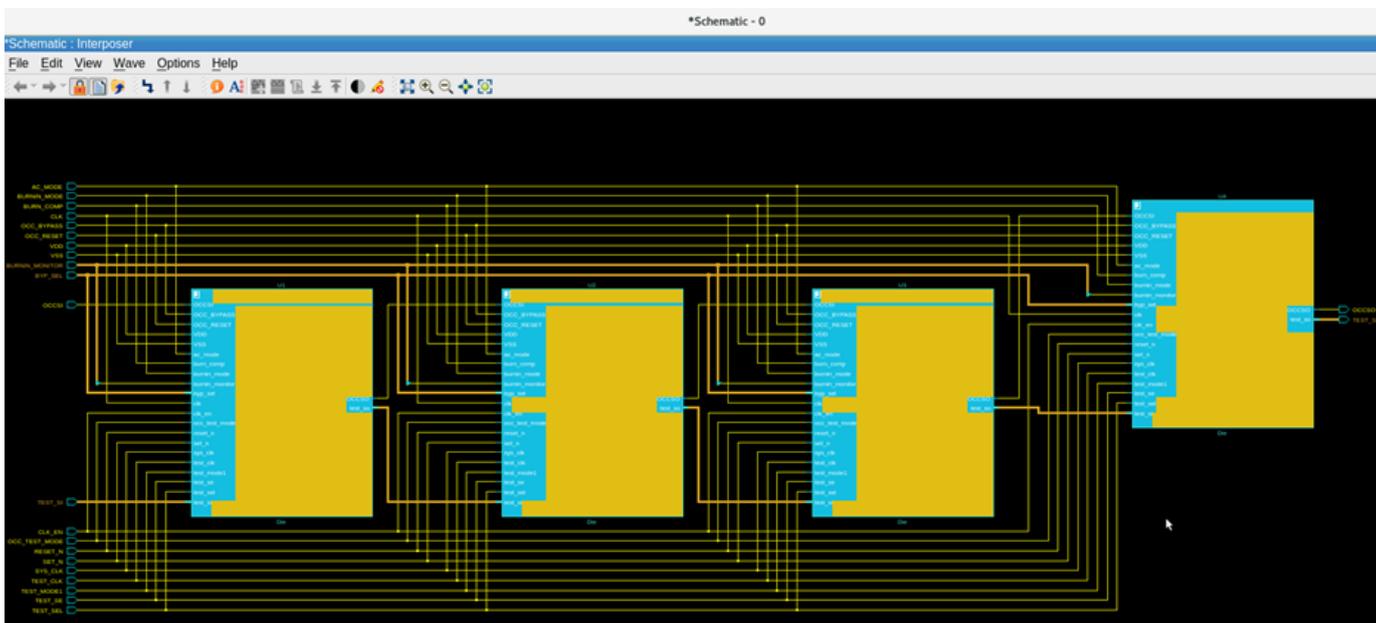


图 8：使用 Visualizer Debug Environment 查看中介层网表的电路图。

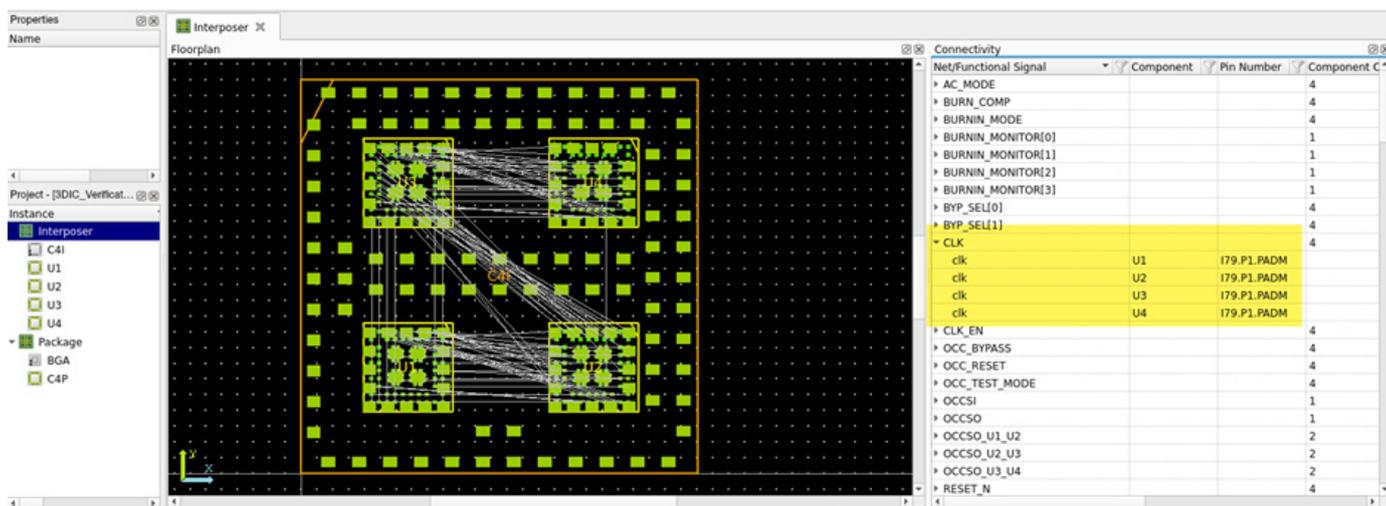


图 9：导入 Verilog 网表后的中介层布局规划视图。

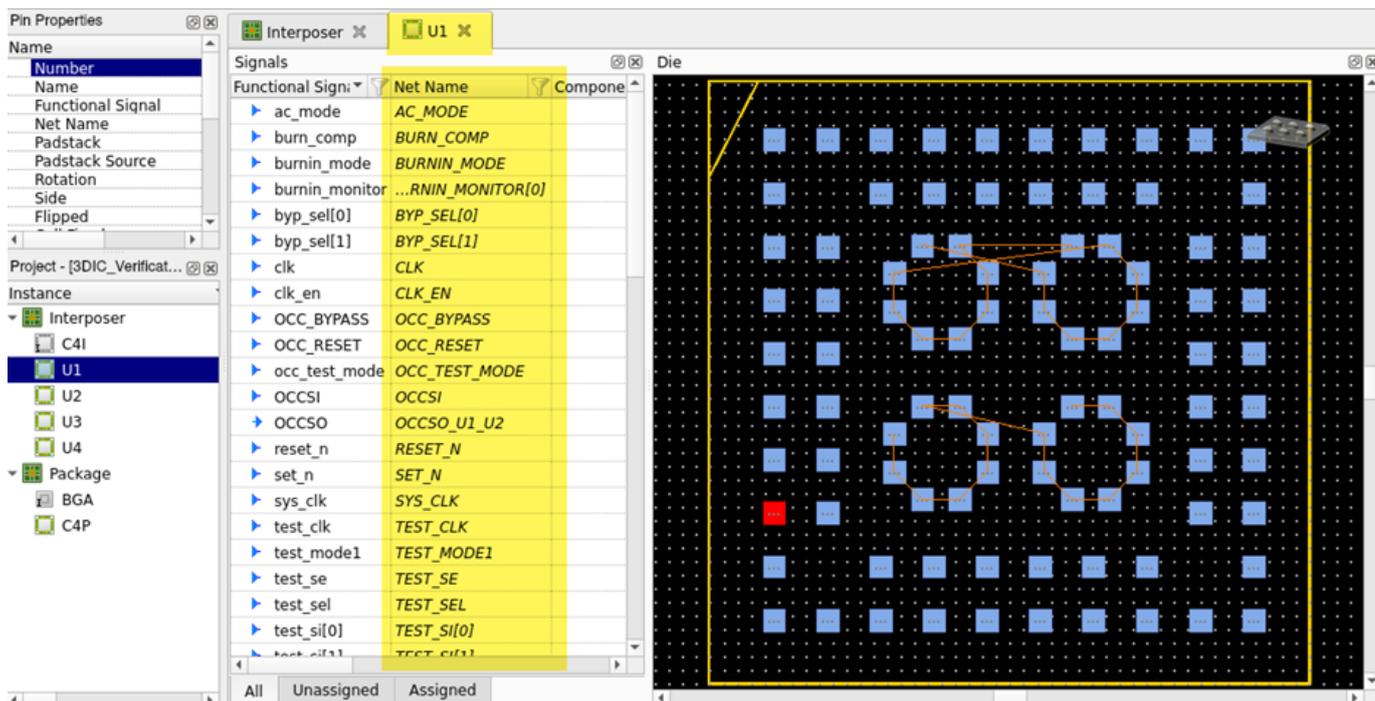


图 10 : 导入 Verilog 网表后的芯片视图。

跨设计领域装配验证

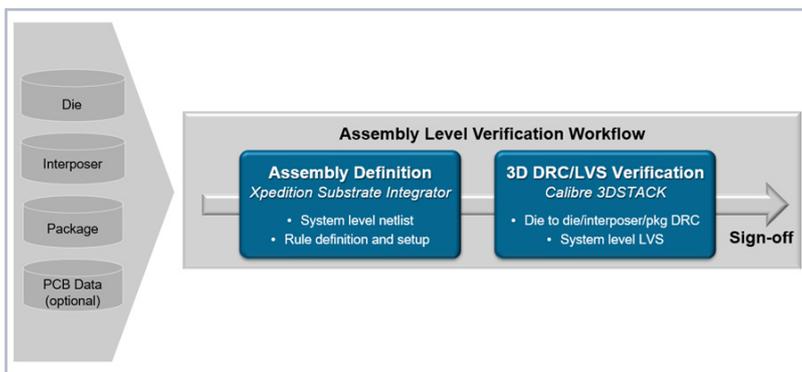


图 11 : 完整的装配验证流程。

xSI 和 Calibre 3DSTACK 集成流程是西门子针对 3D IC 装配验证的解决方案。xSI 有一个插件，它允许系统级设计人员利用 xSI 数据库中存储的信息自动生成完整的 Calibre 3DSTACK 运行集（完整装配描述和全面的装配检查）以及系统源网表。这种方法以设计者为中心，与芯片工艺节点、装配中涉及的基底以及制造供应商无关（例如，硅中介层来自晶圆代工厂 X，而有机基底来自 OSAT Y）。

结语

捕获多基底 3D IC 装配中的预期系统级连接性可能很困难。当每个基底由不同的方法、团队和/或格式构建时尤其如此。

对于硅中介层，通常以 Verilog 网表捕获其连接性。而对于有机封装，连接性则以电子表格 CSV 格式捕获。设计人员需要一种 EDA 平台，例如 Xpedition Substrate Integrator (xSI)，它能聚合多基底系统的不同格式并生成一个可驱动装配验证的系统级网表。

一旦系统级网表可用，系统级设计人员便可利用该聚合数据自动生成完整的装配验证运行集（即完整装配描述和全面的装配检查）。这种使用 Xpedition Substrate Integrator 和 Calibre 3DSTACK 的装配验证方法是一种“以设计人员为中心”的方法，它与芯片工艺节点和基底制造商无关。

西门子数字化工业软件

美洲：1 800 498 5351

欧洲、中东及非洲地区：00 800 70002222

亚太地区：001 800 03061910

如需其他地区电话号码，请单击[此处](#)。

关于西门子数字化工业软件

西门子数字化工业软件不断推动数字化企业转型，让工程、制造业和电子设计遇见未来。西门子数字化工业软件的软件和服务全面集成式产品系列，可助力各种规模的企业打造全面数字孪生，带来新的洞察、新的改进机遇和新的自动化水平，让技术创新如虎添翼。如需了解有关西门子数字化工业软件产品和服务的详细信息，请访问 [siemens.com/software](https://www.siemens.com/software) 或关注我们的 [LinkedIn](#)、[Twitter](#)、[Facebook](#) 和 [Instagram](#) 帐号。西门子数字化工业软件 – Where today meets tomorrow.

[siemens.com/eda](https://www.siemens.com/eda)

© 2022 Siemens. 可在[此处](#)查看相关西门子商标列表。
其他商标属于其各自持有方。

84363-D1-ZH 8/22 in-C