



数字工业软件

# 适用于高密度先进封装的系统级布线 后电气分析

## 内容摘要

随着 HDAP 设计越来越受欢迎，对使用布线后仿真（模拟）和布线后 STA（数字）流程来增强基本物理验证（DRC 和 LVS）的需求也在增长。西门子数字化工业软件提供了一种精确的自动化流程，用于生成进行仿真 / STA 所需的 HDAP 网表，使 HDAP 设计人员能够确保 HDAP 按设计运行。

Tarek Ramadan

西门子数字化工业软件

## I 简介

高密度先进封装 (HDAP) 仍然是“超越摩尔定律”的希望所在，能够缩小尺寸和优化功能，并且将多个使用不同工艺节点的芯片加以集成。图 1 显示了 HDAP 技术的两个示例 – 包含中介层的 2.5D IC 叠层封装和扇外型晶圆级 (FOWLP) 封装。

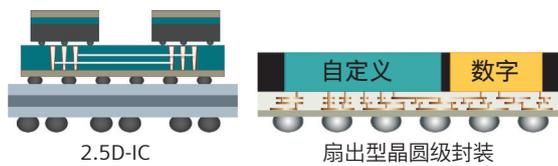


图 1. 常见的 HDAP 技术。

来自封测代工 (OSAT) 公司和晶圆代工厂的 HDAP 产品持续增加。但是，要实现这类产品的全面商业化，必须保证合格的良率和正确（符合预期）的功能。这样的保证同样适用于集成电路 (IC)，两者都必须具备成熟合格的电子设计自动化 (EDA) 工具和流程，并交由设计公司使用以打造令人放心的 HDAP，以便符合晶圆代工厂 / OSAT 的要求和建议。

装配设计套件 (ADK) 为 HDAP 提供了经过验证且合格的流程，之前我们已经讨论过它的需求和一般概念<sup>1,2,3,4</sup>。此外，对于 HDAP 的装配级版图和电路图比较 (LVS) 验证的需求也进行了分析<sup>5</sup>。人们已经提出了装配级 LVS 流程的先进实践，包括所需的输入（数据、格式等），并着重强调了可能存在的障碍和潜在的错误<sup>6</sup>。人们甚至还讨论了如何实现封装的寄生参数提取<sup>7</sup>。

但是，随着 HDAP 技术和流程的日渐成熟，系统设计人员需要了解封装设计规则检查 (DRC)、装配级 LVS 和版图与版图 (LVL) 验证（芯片到封装的对齐、缩放、方向等）是否足以保证 HDAP 具有正确的功能并且能够成功制造。虽然这个问题可能取决于 HDAP 的复杂程度，但总的来说，迄今为止的答案仍是否定的。随着 HDAP 技术与 IC 技术的相似度越来越高，很显然，虽然 HDAP 的物理验证步骤可能被认为进展良好，但它们只是更全面流程的一部分，还必须考虑更深入的系统级电气分析。当然，同时还需要扩展 EDA 工具支持，以实现快速、准确、自动化的流程，确保封装设计人员能够满足市场计划和预期。

## | HDAP 布线后电气分析

就 HDAP 设计而言，晶圆代工厂 / OSAT 希望每个元器件的设计和验证都符合必要的 HDAP 约束和规范。对于模拟类流程，设计人员必须对 HDAP 系统电路进行仿真（包括寄生效应），确保其符合预期的性能规范。对于数字类流程，设计人员必须对整个 HDAP 系统运行静态时序分析 (STA)（包括寄生效应），确保其满足整体系统时序预算的要求。

从 EDA 的角度来看，构建用于支持这类检查 / 分析的自动化流程可以保证这些过程能够以一致、可重复的方式进行，同时确保准确性并尽可能地缩短运行时间。一般而言，EDA 方法可以在两种途径中取其一。

### 单一集成环境

采用集成环境的方法时，EDA 供应商会构建单一仿真软件基础设施来支持 HDAP 电路仿真、寄生参数提取 (PEX) 和静态时序分析 (STA)。虽然单一界面看起来很方便，但它迫使设计人员对所有级别（芯片和封装）的所有元器件使用相同的设计工具。鉴于 HDAP 的设计和验证通常需要多个具有不同背景和工具偏好的团队共同参与，这种方法受到的限制可能过多。

虽然这种方法非常适合构建“完全实时”的异构 HDAP（即芯片和封装同步开发，并且都可以为提升性能而进行编辑），但这种情况少之又少。更常见的是，将已知良好的芯片（已完成流片）用于构建 HDAP。

### 与工具无关

采用与工具无关的方法时，EDA 供应商支持用户构造 HDAP 所需的系统级连接关系（包括寄生效应），而不考虑使用哪种设计工具来构建任何一个芯片或封装。在获得系统级连接关系后，便可以按所需的格式导出到任何电路仿真 / STA 工具，对整个 HDAP 系统进行仿真或分析。这种方法对用于芯片和封装设计的现有工具 / 方法造成的干扰很小。

本文讨论如何使用与工具无关的方法为 HDAP 实现系统级寄生网表过程。

# | 系统级布线后分析

要为 HDAP 进行布线后电路仿真（模拟 / 射频）或 STA（数字），必须生成计入整体系统寄生效应的系统级版图网表。

为演示这一过程，我们将探索一个数字型流程示例。在执行此步骤之前，必须验证 HDAP 的连接关系（无任何 LVS 错误）。版图网表必须包括如下所述的多个组成部分。

## 系统级连接关系

对于系统级 HDAP，必须以 STA 工具所需的格式（通常为 Verilog）提供系统级源网表。该网表是使用系统级连接关系规划工具生成的，类似于 IC 领域的原理图。与 IC 原理图一样，从寄生效应的角度来看，该网表是一份“理想”网表（即，芯片到芯片和芯片到封装的连接假定为理想导线）。

## 芯片级版图寄生效应

必须为 HDAP 中的每个芯片提供寄生版图网表。由于这些芯片已经过 IC 设计团队验证（流片），所以应该已经由成熟的 IC PEX 工具按所需的格式生成这些网表。

## 封装级版图寄生效应

必须使用成熟的封装级 PEX 工具为 HDAP 生成寄生版图网表。如果 HDAP 使用基于中介层的设计（2.5D 或 3D IC），则可以使用 IC PEX 工具来提取具有寄生效应的中介层版图网表（因为中介层的制造工艺与芯片后端制造工艺相似）。

## 芯片 / 封装接口寄生效应

为了计入 HDAP 中的芯片和封装之间的意外电相互作用（寄生效应），需要一个流程可以提取 HDAP 中的芯片和封装之间的耦合电容（通常称为芯片 / 封装接口）。

## 前处理

为确保结果的准确性，在生成接口 RC 模型和运行寄生参数提取过程之前，该流程还必须考虑两个关于 HDAP 设计的问题。

### 接口的寄生参数需要提取吗？

关于是否考虑这种相互作用的问题，根据具体的 HDAP 技术，答案可能从“必需”到“不必要”不等。例如，在扇出型晶圆级封装技术（FO-WLP）中，芯片和封装通常是紧密堆叠的，这意味着需要考虑任何接口耦合。而在标准的 2.5D 叠层方法（基于中介层）中，芯片和中介层之间的间距通常很大，因此接口耦合通常可以忽略不计。

### 接口中必须包括每个芯片的哪些层？

假设该流程必须考虑接口耦合，那么此接口必须包括每个芯片的哪些层呢？从每个芯片纳入的层数越多，准确性越高，但这种准确性是以增加运行时间和复杂性为代价的。接口数据库必须至少包括两个物理层 – 顶部芯片的最底层和底部芯片 / 封装的顶层。晶圆代工厂 / OSAT 通常会提供关于应该包括哪些层的建议，允许设计人员根据需要添加更多的层以验证结果的准确性。

## 生成标注的接口数据库

在回答前处理问题后，必须按所需的格式（通常为 GDS）生成一个接口数据库，标注连接关系信息并考虑预期的 (x,y) 放置位置、缩放和方向。EDA 装配创建工具可以自动从每个芯片 / 封装获取所需的层，并生成包含必要注释的接口数据库。

### 生成接口的 RC 模型 / 规则

接下来，该流程必须生成接口所需的 RC 规则 / 模型。每个单独芯片和封装的技术数据 / RC 模型均由晶圆代工厂 / OSAT 提供，因为这些数据与每个元器件的制造过程密切相关。但对接口而言，技术数据 / RC 模型必须同时包括芯片和封装。RC 模型生成过程以接口技术数据（芯片和封装中的叠层的垂直描述）为基础，使用“所需层”信息和为每个部件提供的技术数据生成接口的 RC 模型。RC 模型生成过程必须非常灵活，以便设计人员能够添加 / 删除层，仍然获得准确的结果。就像标注的接口数据库一样，EDA 装配创建工具也可以提供灵活的自动化流程来生成接口技术数据和 RC 模型。

### 提取接口寄生参数

在获得标注的接口数据库和接口 RC 模型后，设计人员就可以运行基于 IC 的 PEX 工具，生成标注了接口

寄生效应的版图网表。使用基于 IC 的 PEX 工具而非基于封装的工具，因为通常只选择封装的最顶层作为芯片到封装的接口。在 HDAP 技术中，芯片直接贴装到这些层上，因此它们的尺寸和形状都与芯片顶层非常相似。但是，设计人员必须留意并避免重复计数 – 在提取芯片 / 封装的标注接口时，将会重新计算一些已经在芯片（或封装）中提取的寄生效应。

在提取所有这些寄生效应后，系统级连接关系数据（例如 Verilog 网表）就可以调用芯片级版图寄生效应数据、封装级版图寄生效应数据和芯片 / 封装接口寄生效应数据，形成静态时序分析工具所需的输入。HDAP 设计人员可以运行 STA 并观察时序结果，以了解它们受到的系统级寄生效应的影响。

图 2 显示了完整的芯片 / 封装接口寄生效应流程的方框图。

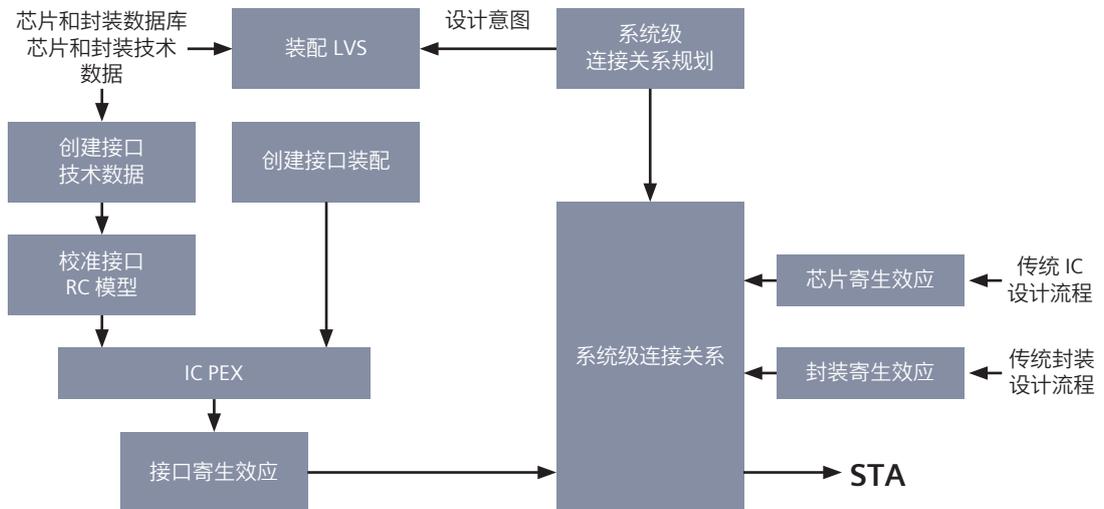


图 2. 用于数字 STA 过程的完整 HDAP 寄生效应流程。

# 西门子数字化工业软件的 HDAP 布线后静态时序分析流程

西门子数字化工业软件拥有完整的自动化流程，可以支持设计人员使用为 IC 和封装专业技术所提供的多种工具生成 STA 所需的网表。Xpedition Substrate Integrator (xSI) 工具可执行 HDAP 系统级连接关系管理和规划。XSI 工具可以生成多种格式的系统级连接关系信息，例如，用于 HDAP LVS 的类似电子表格的网表，或用于下游分析（如 STA）的系统级 Verilog 网表。Calibre® 3DSTACK 工具可实现 HDAP 物理验证（DRC、LVS 和 LVL），并为寄生提取工具生成所需的输入。在 STA 流程中，Calibre 3DSTACK 工具自

动将创建接口装配（包括连接关系注释）、创建接口技术数据和校准接口 RC 规则 / 模型等工作作为一个步骤执行（即，一次 Calibre 3DSTACK 运行）。Calibre xACT™ IC 寄生参数提取工具可以从 Calibre 3DSTACK 工具中直接读取所需的输入。它还提供了可用于防止重复计入寄生效应的选项。图 3 显示了标有西门子工具应用的布线后 HDAP 分析流程。

该流程已通过 TSMC 验证，可与 TSMC InFO 参考流程一起使用，让 InFO 设计人员确信他们的 InFO 设计将会按照设计和预期正常执行<sup>6</sup>。

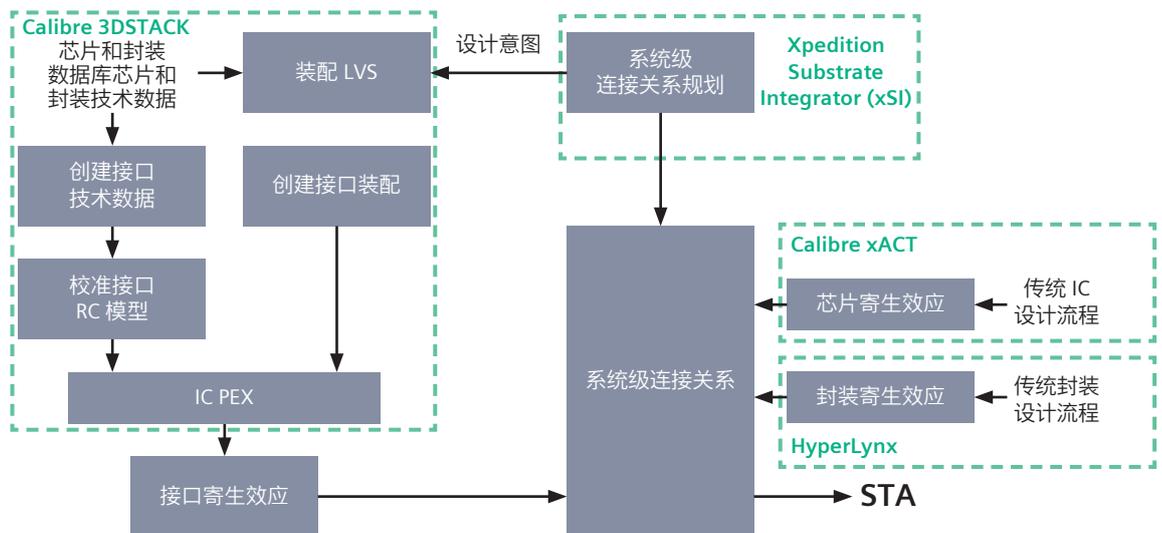


图 3. 使用西门子自动化实现的适用于数字 STA 的完整 HDAP 寄生效应流程。

## I 结语

随着 HDAP 方法越来越受欢迎，对使用布线后仿真（模拟）和布线后 STA（数字）流程来增强基本物理验证（DRC 和 LVS）的需求也在增长。通过提供精确的自动化流程，用于生成进行仿真 / STA 所需的 HDAP 网表，EDA 公司使 HDAP 设计人员能够确保 HDAP 按设计运行。西门子数字化工业软件提供了一种经过验证的完整流程，在生成 HDAP 系统级连接关系的同时，兼顾芯片、封装和芯片 / 封装接口的寄生效应。对 HDAP 可制造性和性能的信心，对于他们的持续成长和取得市场成功至关重要。

### 参考文献

1. John Ferguson, Tarek Ramadan. "The future of package design verification: assembly design kits," Siemens Digital Industries Software, October, 2015. <http://go.mentor.com/4kkan>.
2. Andy Heinig. "Why use an assembly design kit and assembly design flow?," Semiconductor Engineering. February 8, 2018. <https://semiengineering.com/why-use-an-assembly-design-kit-and-assembly-design-flow>.
3. John Ferguson, Tarek Ramadan. "Assembly design kits are the future of package design verification," 3DInCites. August 3, 2015. <https://www.3dincites.com/2015/08/assembly-design-kits-are-the-future-of-package-design-verification>.
4. Tarek Ramadan. "Crossing the chasm: bringing SoC and package verification together with Calibre 3DSTACK," Siemens Digital Industries Software. January 2017. <http://go.mentor.com/4QLSO>.
5. Tarek Ramadan. "Package designers need assembly-level LVS for HDAP verification," Siemens Digital Industries Software. December 2017. <http://go.mentor.com/4WDVj>.
6. "Mentor extends solutions for TSMC InFO and CoWoS design flows to help customers continue IC innovations," Siemens Digital Industries Software. Sept. 13, 2017. <https://www.mentor.com/company/news/siemens-mentor-tsmc-oip-info-cowos>.
7. John Ferguson, Dusan Petranovic. "Full 3D-IC parasitic extraction," Tech Design Forum. June 8, 2014. <http://www.techdesignforums.com/practice/technique/full-3d-ic-parasitic-extraction>.

## 西门子数字化工业软件

美洲：1 800 498 5351

欧洲、中东及非洲地区：

00 800 70002222

亚太地区：001 800 03061910

如需其他地区电话号码，请单击[此处](#)。

## 关于西门子数字化工业软件

西门子数字化工业软件不断推动数字化企业转型，让工程、生产和电子设计遇见未来。西门子数字化工业软件的软件和服务全面集成式产品系列，可助力各种规模的企业打造全面数字孪生，带来新的洞察、新的改进机遇和新的自动化水平，让技术创新如虎添翼。如需了解有关西门子数字化工业软件产品和服务的详细信息，请访问 [siemens.com/software](https://siemens.com/software) 或关注我们的 [LinkedIn](#)、[Twitter](#)、[Facebook](#) 和 [Instagram](#) 帐号。西门子数字化工业软件 – Where today meets tomorrow。

[siemens.com/software](https://siemens.com/software)

© 2023 Siemens. 可在[此处](#)查看相关西门子商标列表。

其他商标属于其各自持有方。

81855-D2-ZH 3/23 in-c