

裸片到裸片接口IP的新疆域：芯片成功的需知

Leong Zhang
2020年10月28日

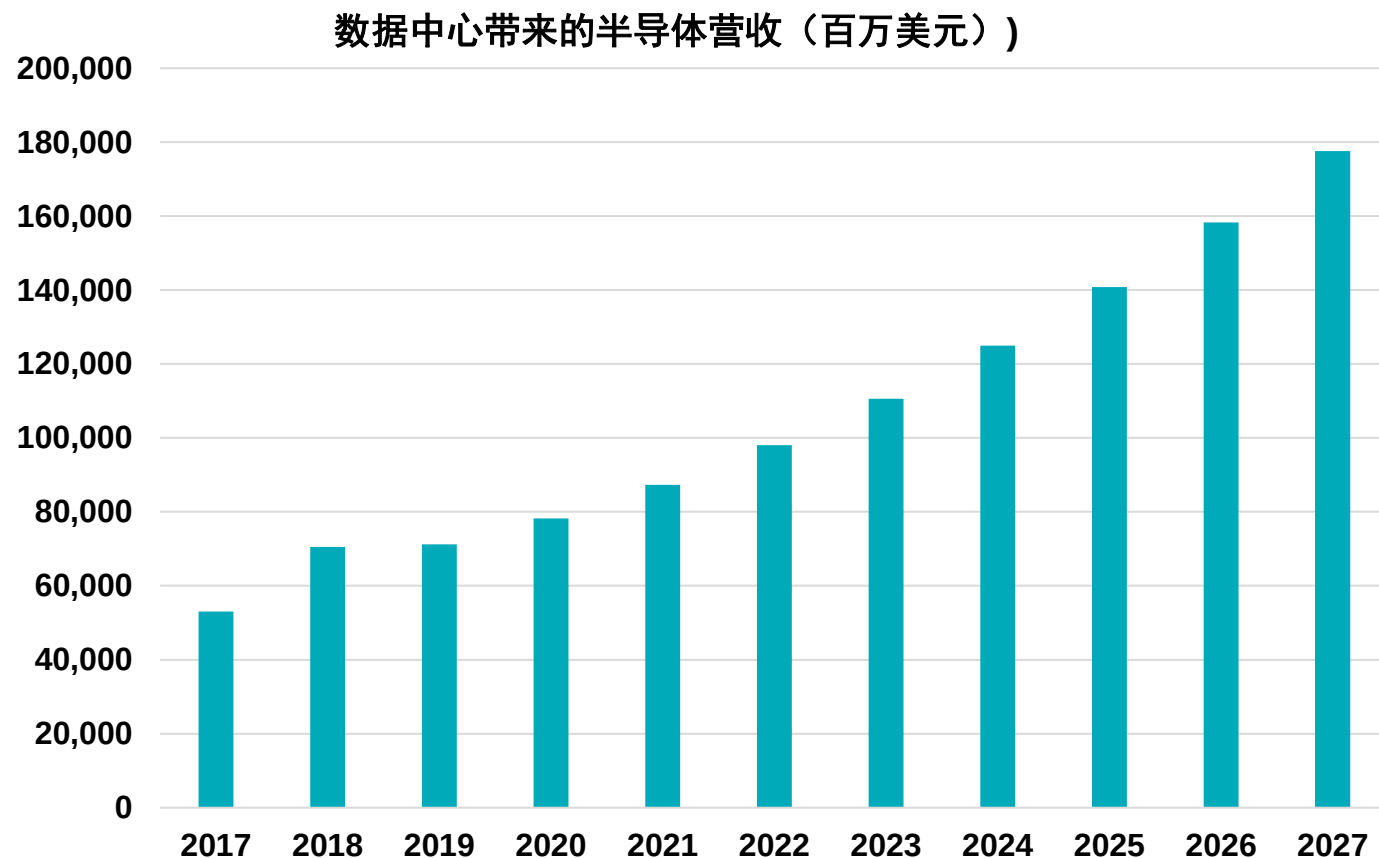


市场趋势和用例



数据中心催生新设计和创新

2027年，用于数据中心的半导体市场将达到1770亿美元



- 数据中心市场预计将在2027年达到1776亿美元，而2018年为705亿美元（复合年增长率10.81%）
- 预计2030年数据流量将达到 2^{60} 字节
- 各公司在着手基于7nm到3nm先进工艺的设计，要求对各种IP进行认证

资料来源：IBS全球半导体产业报告，2019年

Synopsys的高性能计算完整方案

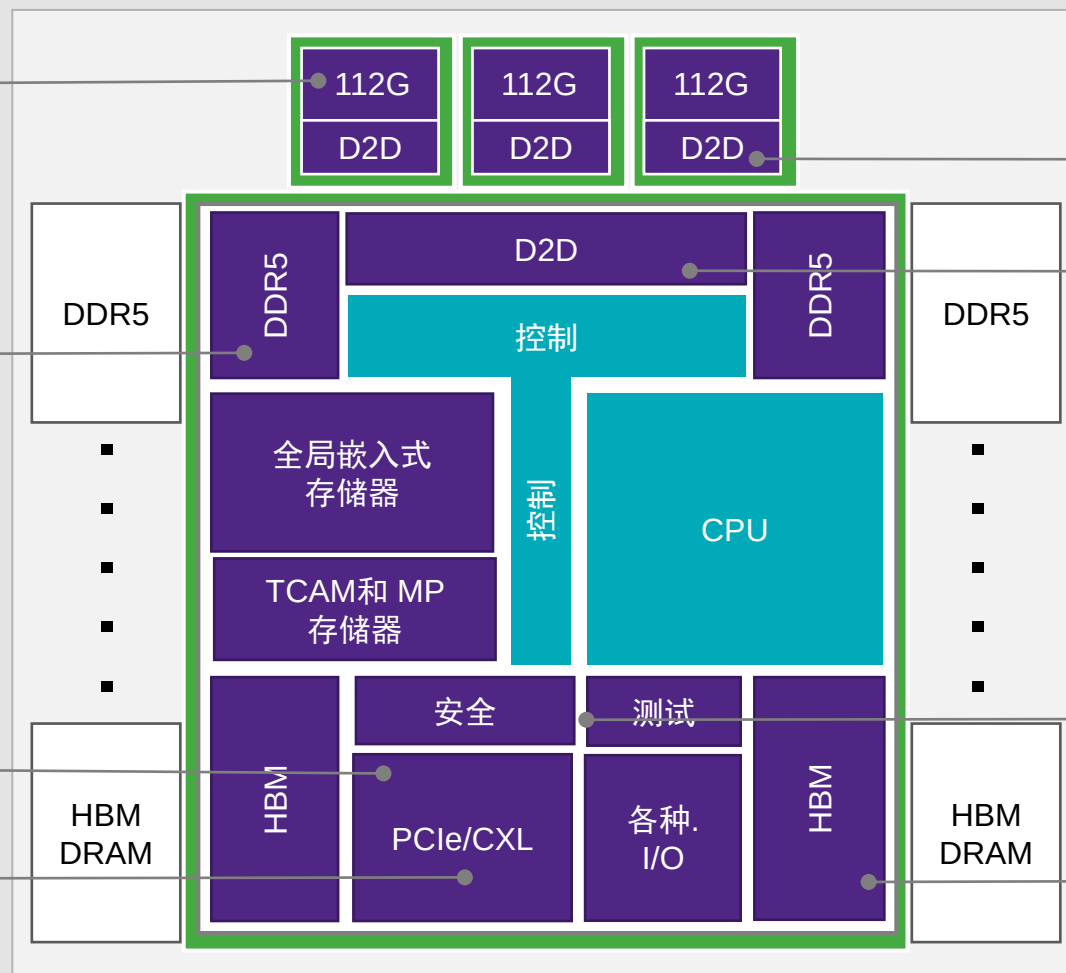
性能、延迟、存储器、连接性推动创新

用于背板连接的高速SerDes
400/800G → 1.6TB
延迟和功耗是重点

高性能DDR5
具有高带宽和低延迟特性

用于服务器连接的PCIe 5.0。
迄今为止，由于采用的飙升，已发放了100多个许可证

CXL势头强劲
CXL 2.0规范现为版本0.7
CXL 3.0与6.0保持同步
CCIX与CXL融合



通过性能扩展和相应的裸片用例，裸片到裸片应用拓展了过去的裸片分割

并行和串行裸片到裸片方案将满足特定应用的需求而共存。许多节点需要USR (56G)、XSR (112G) 和HBI

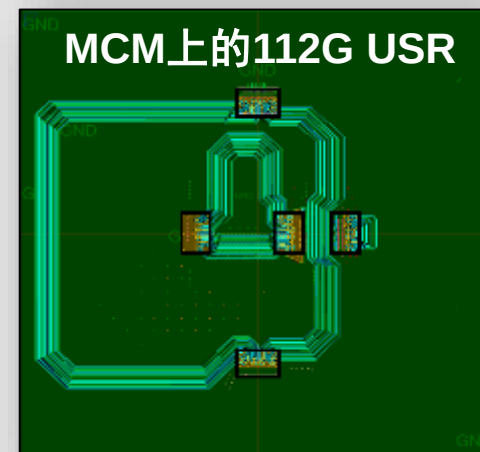
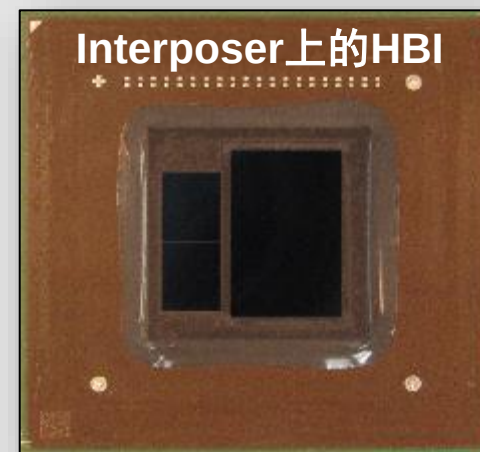
硬件信任 (Hardware root of trust)
TRNG和独特的测试算法多裸片方案

图形、网络和AI驱动下的HBM
HBM2e 3600 → HBM3 6400

系统级封装（SiP）是新型系统级芯片（SoC）

细分市场（Fragmented Market）下不断发展的生态系统

- 尺寸和成本正在引领新的裸片到裸片用例
- 垂直集成商采用新方法来自构建可扩展的模块化设计
- 从专有实现开始，但现在有多个标准在发展
- 通盘考虑成本/复杂度与外形尺寸/密度的新封装技术
- Synopsys DesignWare Die-to-Die IP方案可充分满足所有用例和封装类型的需要

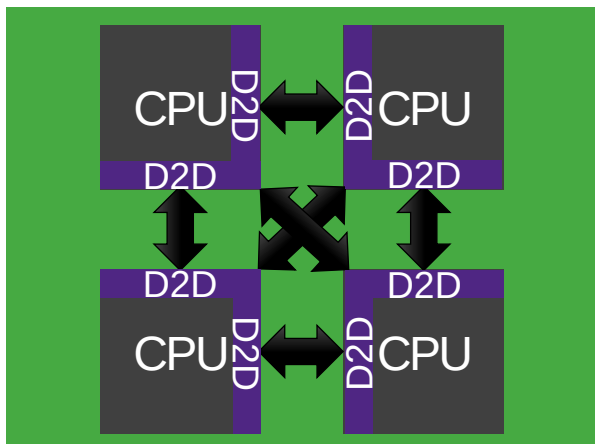


同质Die和工艺的应用场景

要求：极低延迟和零BER（可靠链路）

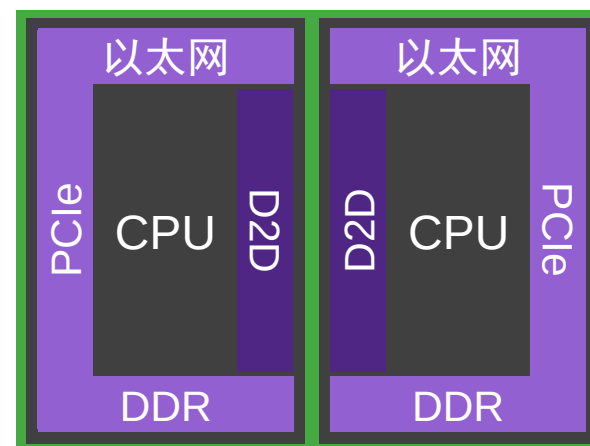
扩展SoC

- 通过紧密耦合的裸片间建构扩展处理器集群的大小和性能
- 允许扩展以创建多个SKU
- 应用：处理器、加速器



分割SoC

- 接近芯片尺寸（reticle size）的大型计算和交换机裸片的技术可行性
- 提高良率、降低成本并拓展摩尔定律
- 应用范围：加速器、基数交换机（Radix Switch）

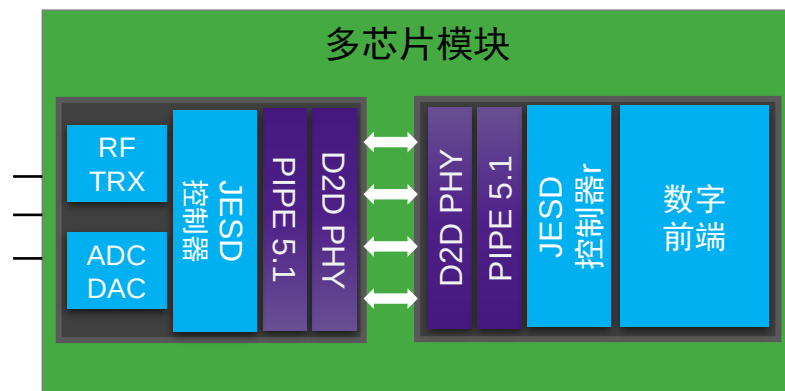


异质Die和工艺的应用场景

要求：标准化、可移植性和充满活力的生态系统

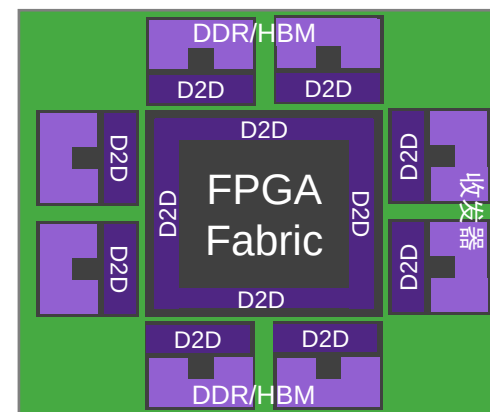
聚合功能

- 聚合多种功能以利用优化的节点并改善性能
- 支持多个SKU，裸片重复使用，降低功耗、成本、风险并加快上市时间（Time-To-Market）
- 应用范围：FPGA、ADAS、通信前端（RF + BB）



分解中央和IO裸片

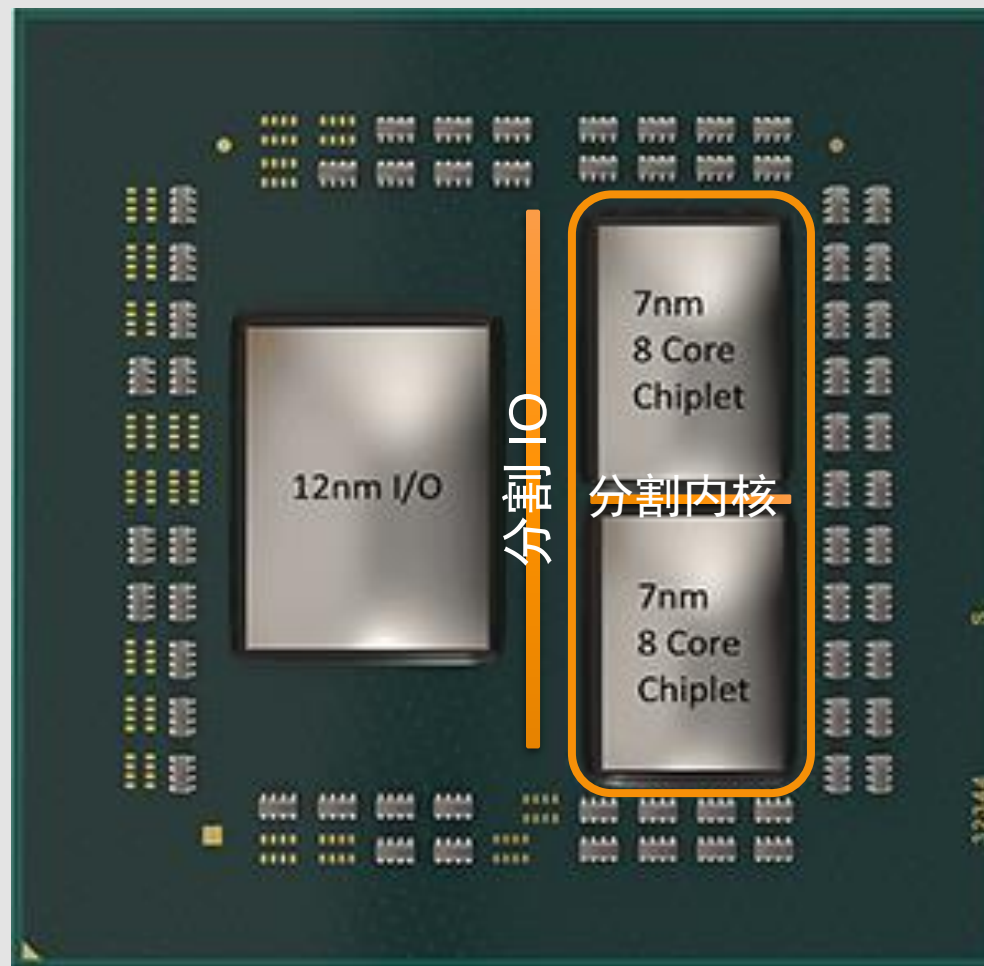
- 将中央裸片迁移到高阶节点，并重复使用I/O裸片以降低风险/成本、加快（Time-To-Market）
- 支持基于同一中央裸片的I/O扩展和多个SKU
- 应用范围：CPU、FPGA和交换机



服务器芯片集示例：分解（Disaggregate）+缩放（Scale）

分割内核与有不同关注点的IO

- 分解主 Die和IO Die
 - 更长的距离
 - 可移植性
 - 符合标准
 - 因为采用端到端保护对其进行管理，所以BER不太重要



- 缩放（scale）主Die
 - 2个CPU Die 以一个CPU Die 模式工作
 - 低延迟
 - 低BER
 - 没有FEC

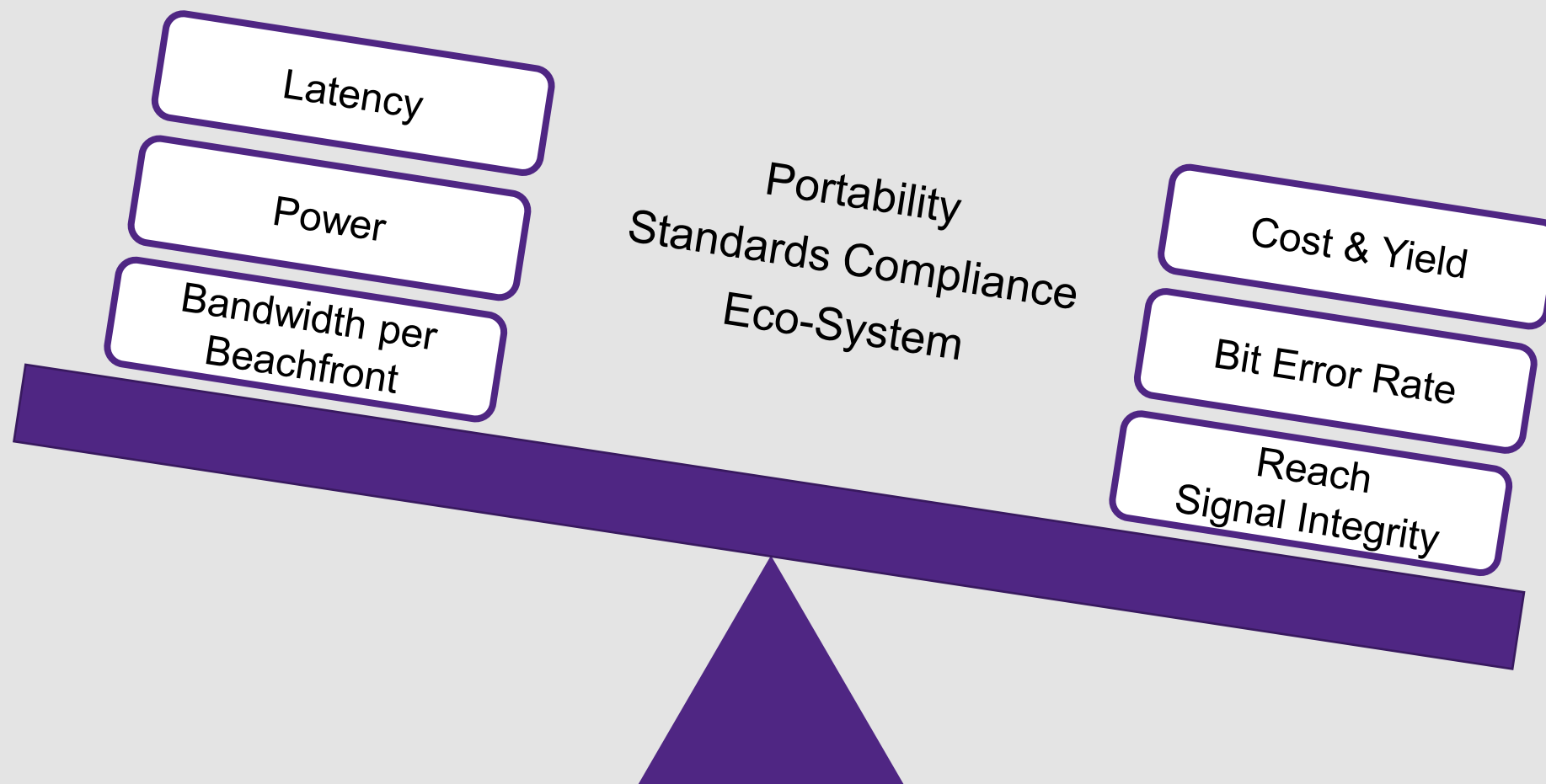
关键指标

需根据用例进行权衡



裸片到裸片互连的关键指标

没有一个方案能满足所有的需求



裸片到裸片PHY选项

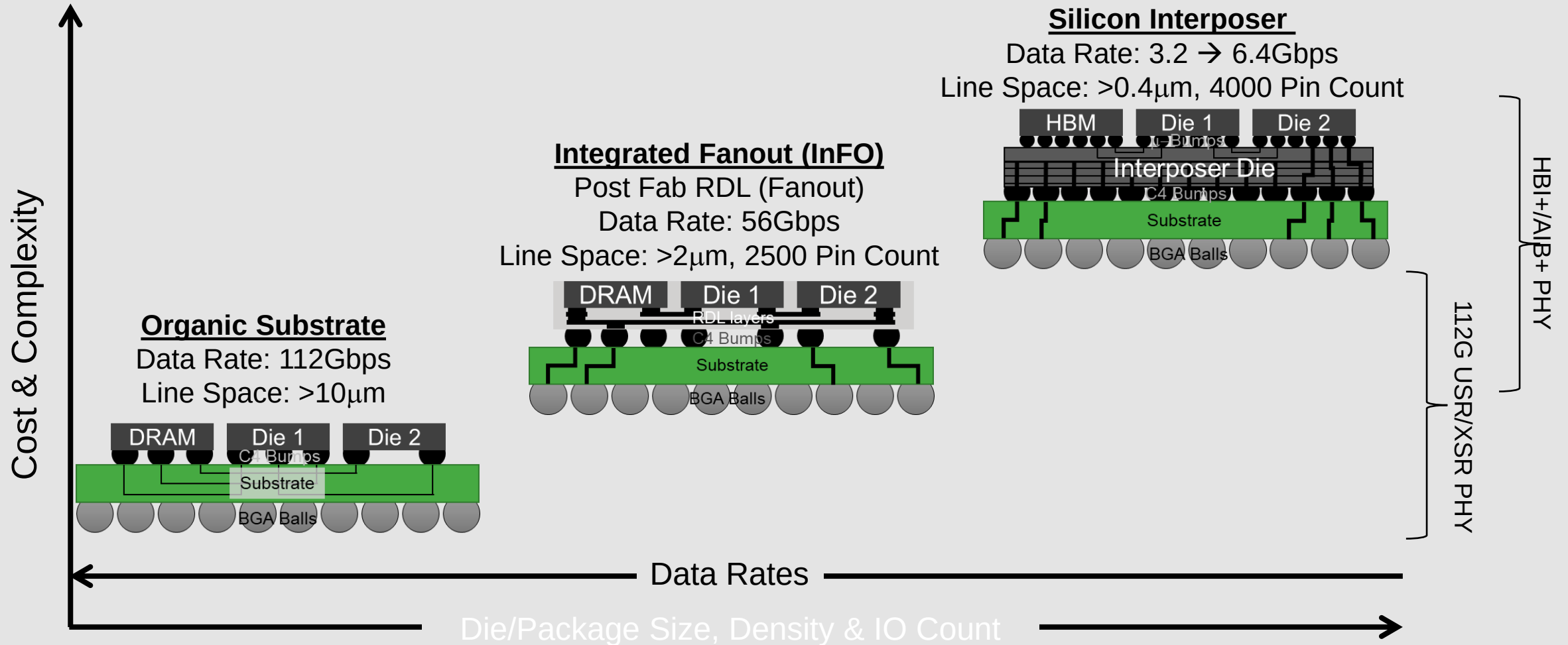
已有可权衡关键指标的两种方案

	5个工艺节点有规划	4个工艺节点有规划
	串行接口	并行接口
规范	OIF CEI 56G 和 112G USR/XSR	HBI → OpenHBI、AIB+、BoW
每信道数据速率	2.5Gbps 到 112Gbps	2 到 4 Gbps → 6Gbps
功耗	1.0 到 1.5 pJ/bit	0.5 到 1.0 pJ/bit ✓
延迟	高	低 ✓
位错率（BER）	PAM-4中需要FEC	极低 ✓
封装技术	标准（Substrate）✓	先进（Interposer）
总成本	低 ✓	高

两种方案都会在裸片到裸片市场有需求
串行接口需求为75%，并行接口为25%

InFO方案显示出来有较强的吸引力

注意事项：密度/IO数量对比成本/复杂度



56G/112G USR/XSR 裸片到裸片 PHY

支持NRZ和PAM-4工作模式

裸片到裸片接口的OIF规范

NRZ模式下速率高至56Gbps,PAM-4模式下速率高达112Gbps

OIF CEI-56G

CEI-56G-USR
2dB @ 28GHz NRZ
25mm, no FEC/EQ



CEI-56G-XSR
8dB @ 28GHz NRZ
4dB @ 14GHz PAM-4
50mm, no connector



CEI-56G-VSR
10dB @ 14GHz PAM-4
10cm, 1 connector



CEI-56G-MR
15-25dB @ 14GHz PAM-4
50cm, 1 connector

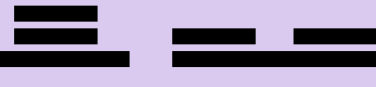


CEI-56G-LR
35dB @ 14GHz PAM-4
100cm, 2 connectors

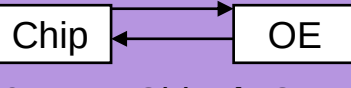


OIF CEI-112G

CEI-112G-MCM
6dB @ 28GHz CNRZ
25mm, no FEC/EQ



CEI-112G-XSR
10dB @ 28GHz PAM-4
50mm, Lite FEC & CTLE



CEI-112G-VSR
12-16dB @ 28GHz PAM-4
FEC to relax BER 10^{-6}



CEI-112G-MR
20dB @ 28GHz PAM-4
FEC to relax BER 10^{-5}



CEI-112G-LR
28-30dB @ 28GHz PAM-4
FEC to relax BER 10^{-4}



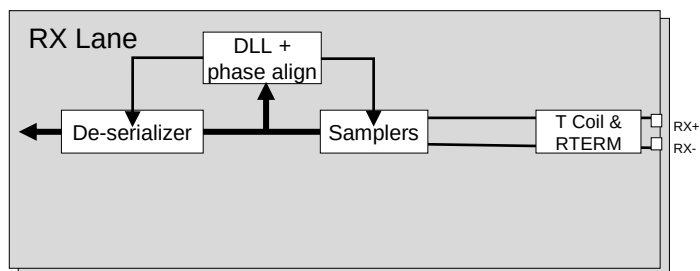
- 信令
 - 56G → NRZ
 - 112G → PAM-4
- TX压幅
 - USR → 250mVppd
 - XSR → 600mVppd
- 均衡
 - USR → 无
 - XSR → TX FFE/RX CTLE
- 112G 要求 FEC或Replay, 即高延迟
- 基于DLL的时钟转发架构
- CEI-112G-MCM基于Chord信令

USR/XSR与VSR和MR/LR架构

架构简化将功耗指标和面积效率提高了4到5倍

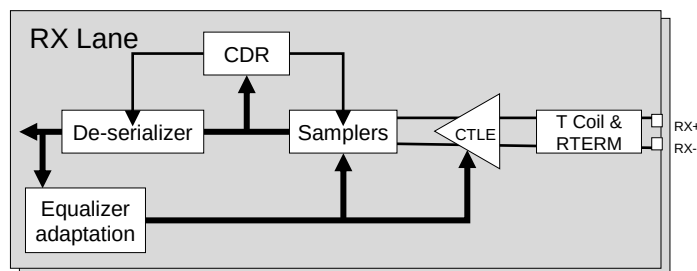
Ultra/Extra Short Reach

- NRZ或PAM-4
- 封装内链路的裸片-裸片连接
- 功耗目标 $\sim 1.25\text{pJ}$ (PAM-4)
- RX中时钟恢复最少的TX时钟转发
- DLL + 相位对齐器方法 (也支持CDR模式)



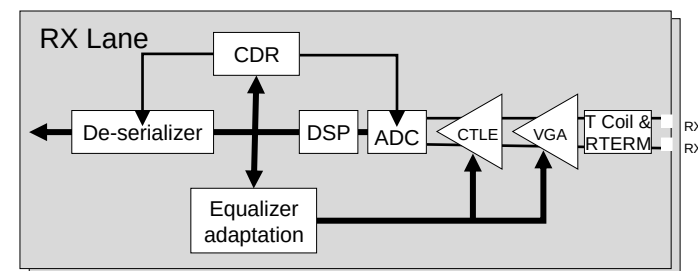
Very Short Reach

- NRZ或PAM-4
- 基于GAUI规范的芯片到模块链接
- 功耗目标 $\sim 3\text{pJ}$
- 模拟均衡器, 适用于短距离+低功耗要求
- 基于CDR的方法



Medium or Long Reach

- PAM-4
- 长通道 (背板或无源铜缆)
- 功耗目标 $\sim 6\text{pJ}$
- 可实现长距离的数字均衡器
- 基于AFE + ADC + DSP的方法



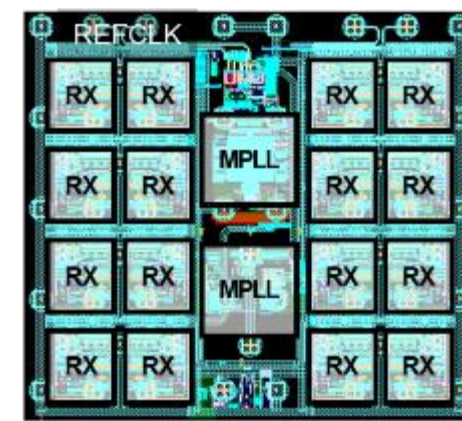
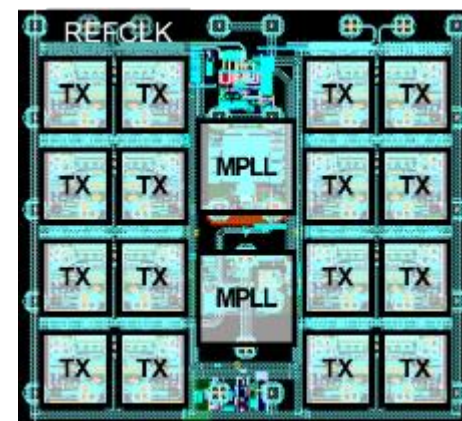
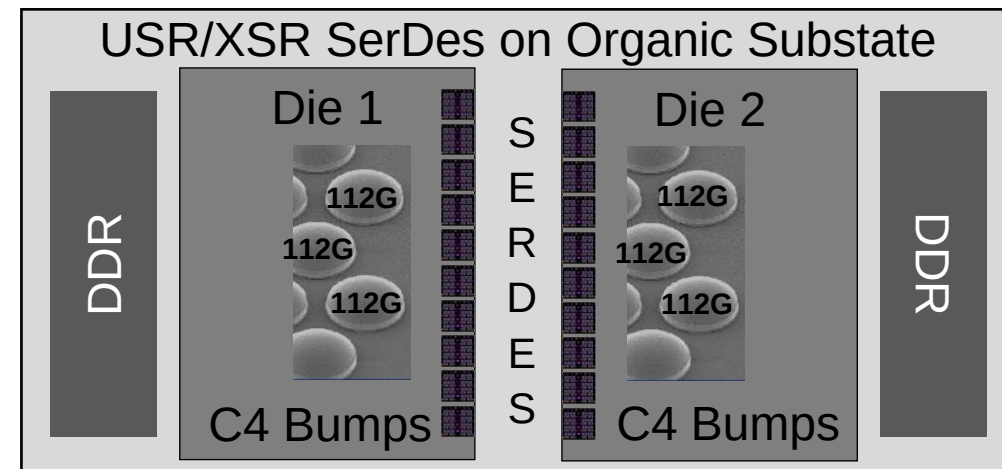
基于有机基板的串行接口

满足OIF CEI 56G USR/XSR和112G XSR要求

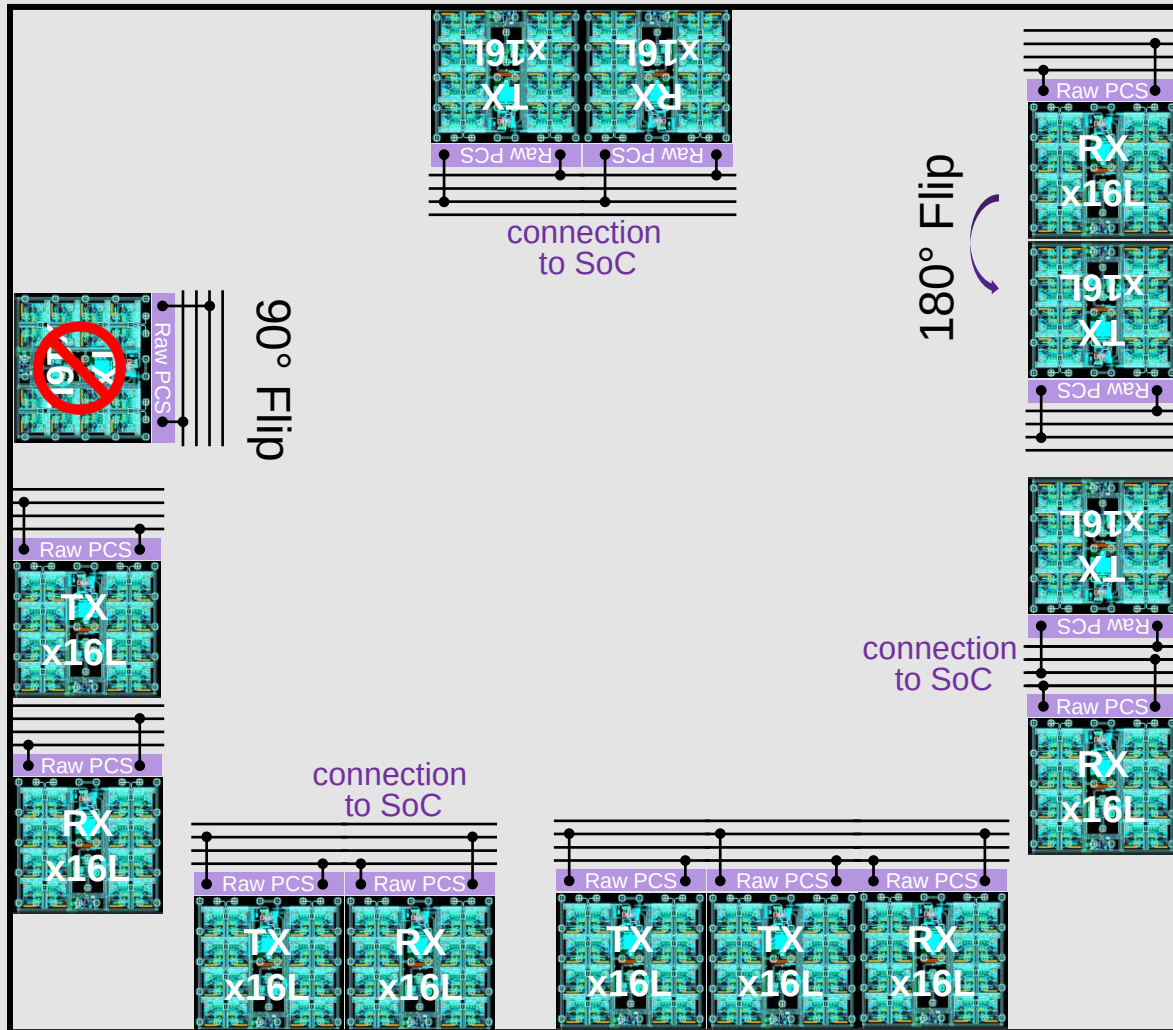
- 用于低成本封装和低复杂度的场景
- 有5个先进FinFET工艺节点的IP在路线图中
- NRZ/PAM-4吞吐量从2.5Gbps到112Gbps
- 用于高密度SoC设计，正方形的硬核(PMA Macro)

使得TX/RX可放置在所有四条边

- 针对关键指标进行了优化+允许用户权衡这些指标
- 非常便捷——简单、简约的架构
- SI-PI和集成服务提供广泛的支持



PHY Marco在所有4个边上的物理布局至关重要

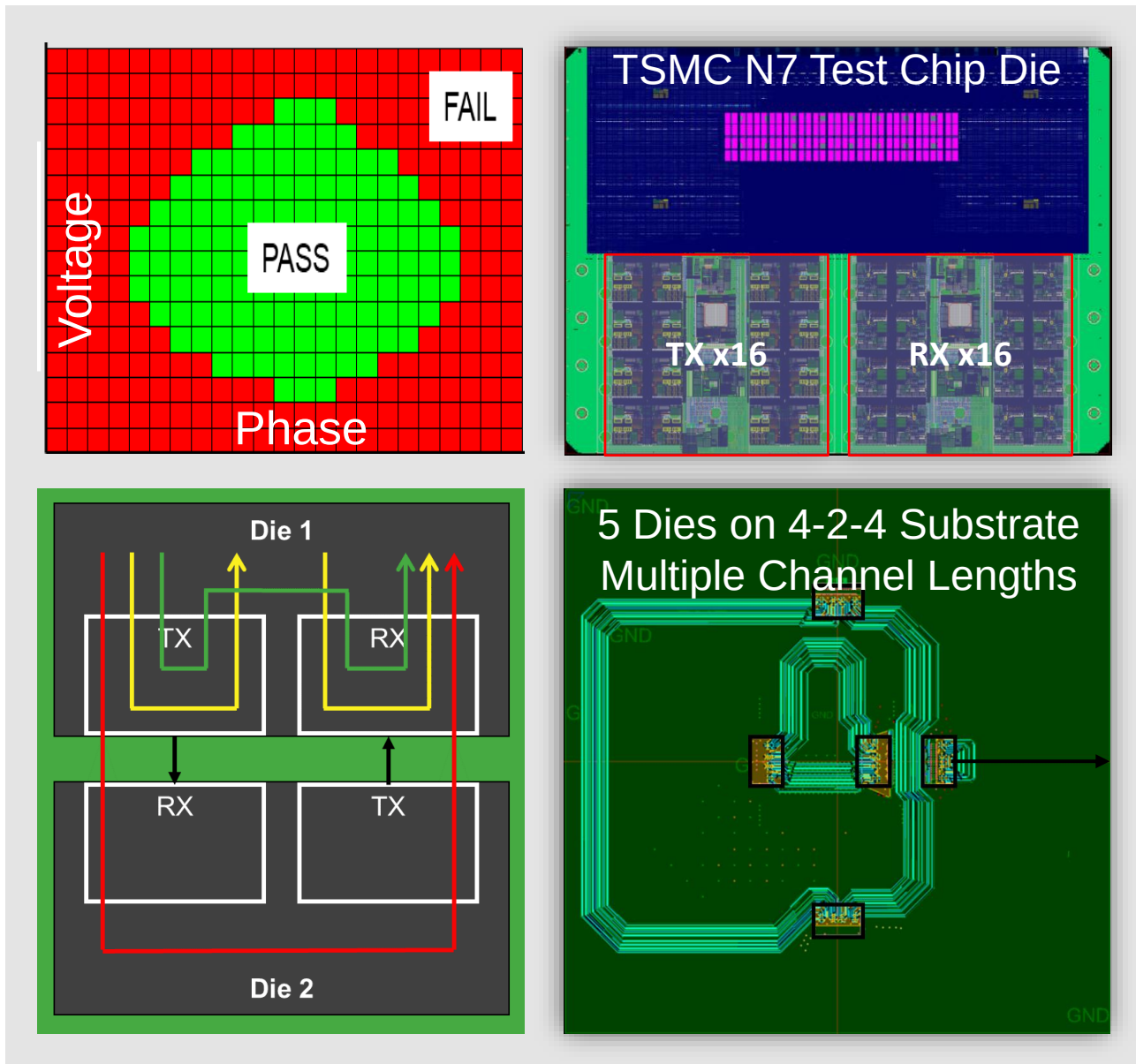


- 针对优化后宏间距的准则，支持在所有边上的排布
- ESD在PHY内，靠近PHY的I/O Bump
- 经验证的4边信号逃逸布局

诊断能力

对于已知的好裸片（KGD）

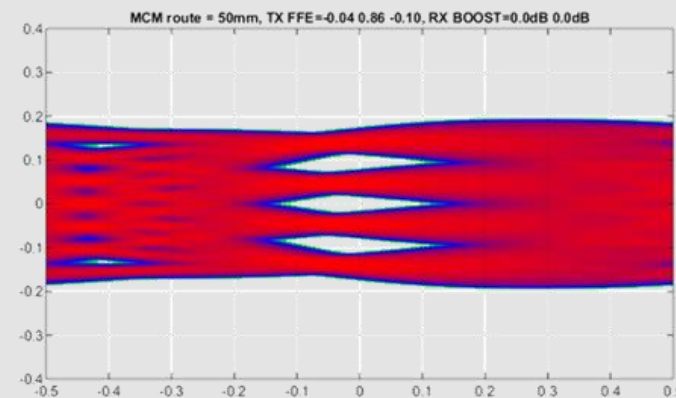
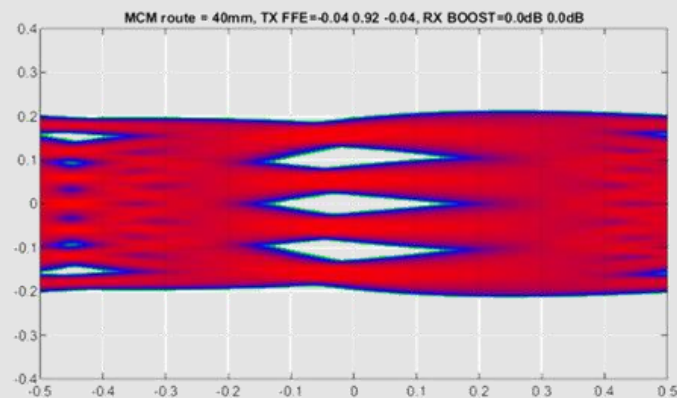
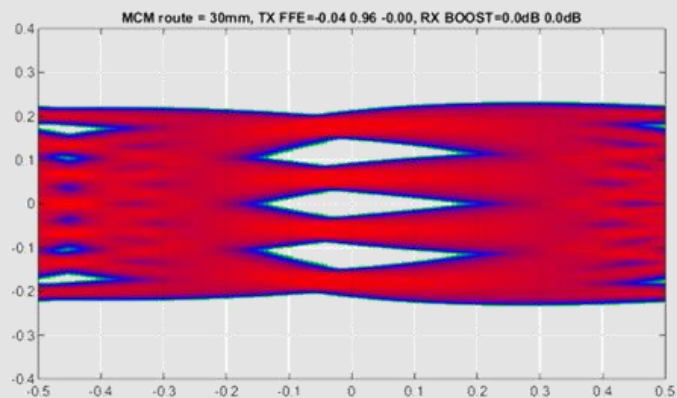
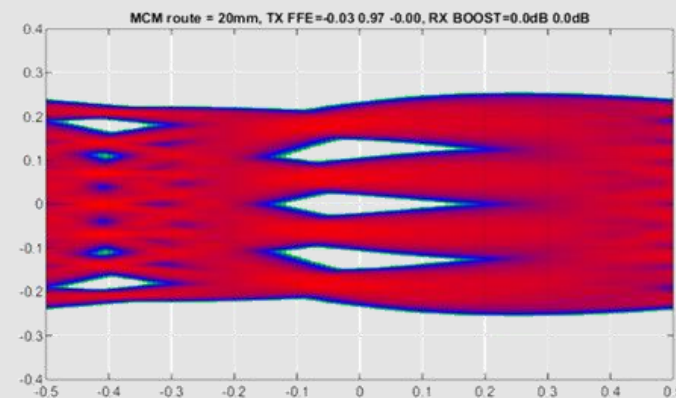
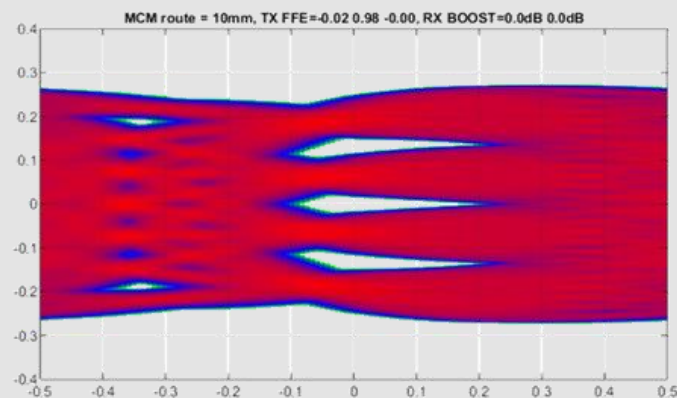
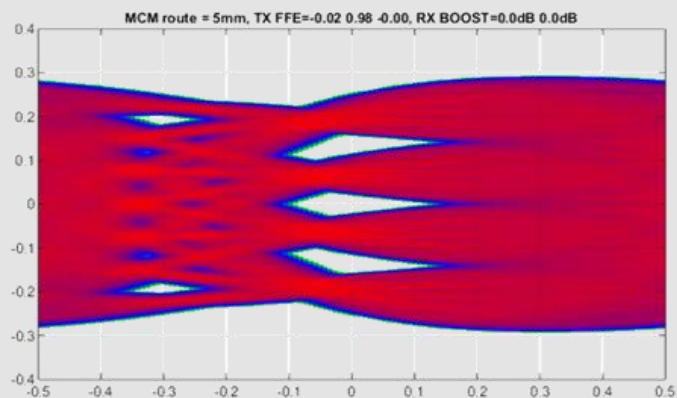
- IP测试和诊断功能
 - BIST用于加速生产测试
 - Die和跨Die的环回测试模式
 - 训练参数的覆盖校准/调整
 - 扫描参考电压和相位以进行压力测试
 - 无损眼图
- 测试芯片包括6个信道的TX和RX
- 封装
 - 用于5mm、15mm、25mm和50mm链路的5个裸片
 - 可剥离封装，接入一个裸片



系统级考量

112G USB长度扫描：统计眼图

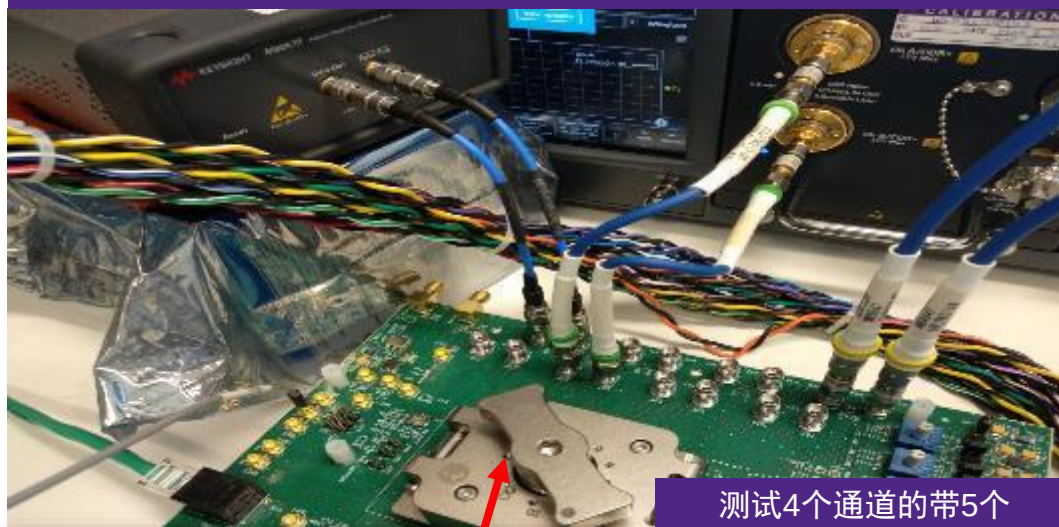
112G-XSR Sweep of MCM Route Length: BER=1.0e-09 Statistical Eye



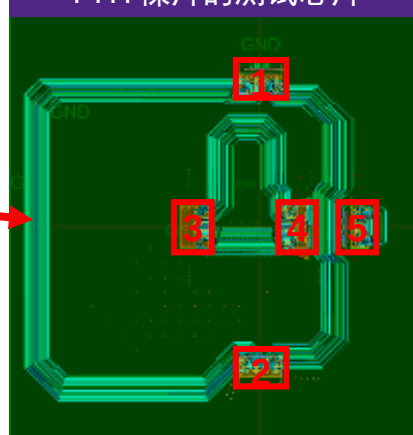
DesignWare USR/XSR PHY测试芯片眼图

跨整个通道覆盖距离

裸片到裸片测试设置

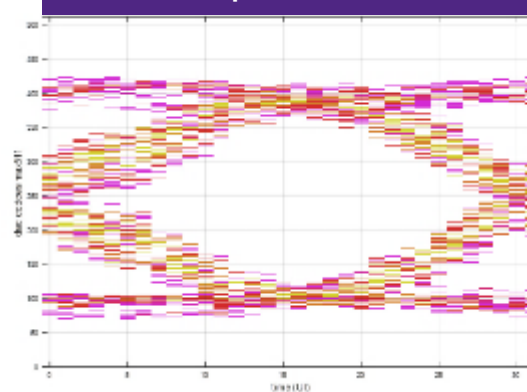


测试4个通道的带5个PHY裸片的测试芯片

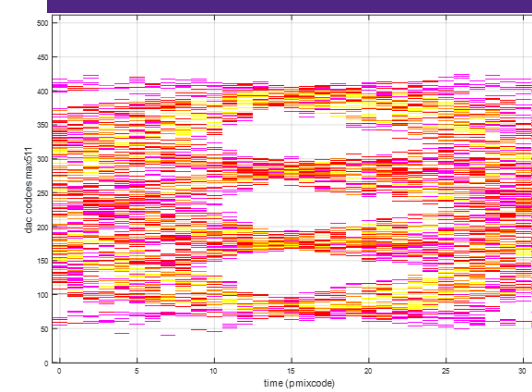


内部眼图范围结果

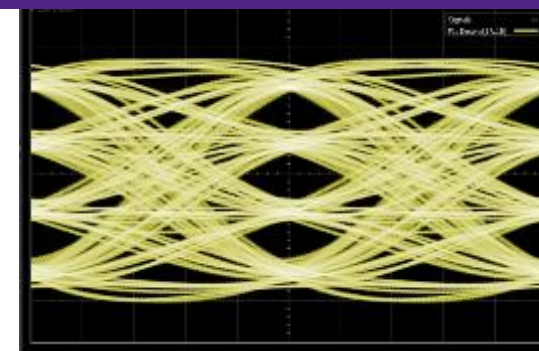
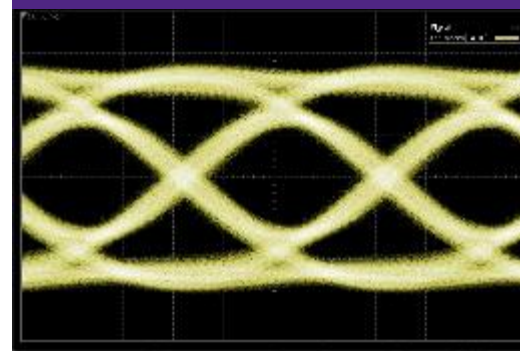
56Gbps NRZ模式



112Gbps PAM4模式



发送眼图结果



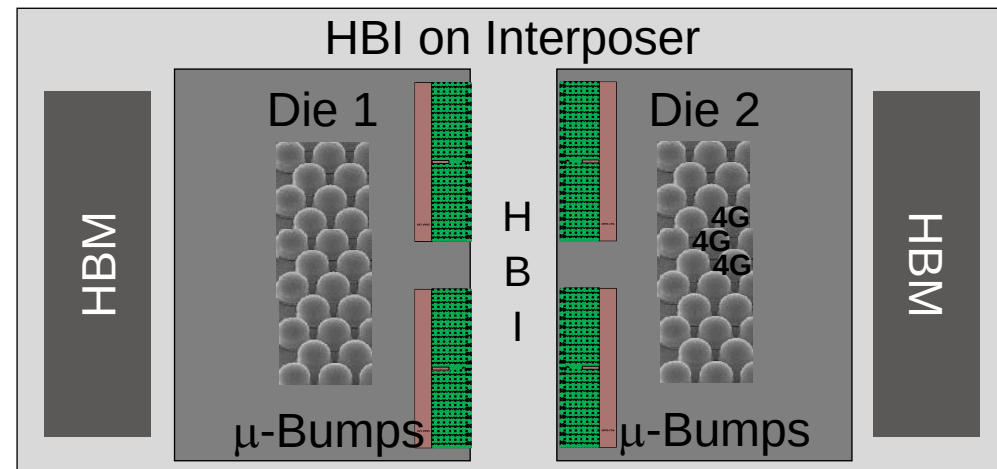
HBI/AIB+ 裸片到裸片PHY



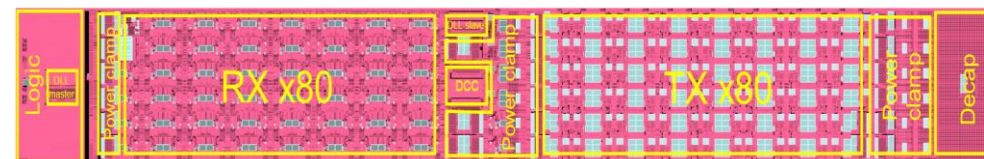
基于Interposer的并行接口

符合HBI和AIB+；计划支持OpenHBI

- 对于Interposer和Silicon Bridge，支持高密度布局和小尺寸
- 有4个先进FinFET工艺节点的IP在路线图中
- 针对关键指标进行了超级优化
- 用于KGD（已知好裸片）的众多功能
- 借助信道冗余，最大化良率
- 东-西走向，南-北亦可
- 有针对Interposer方案的整合支持



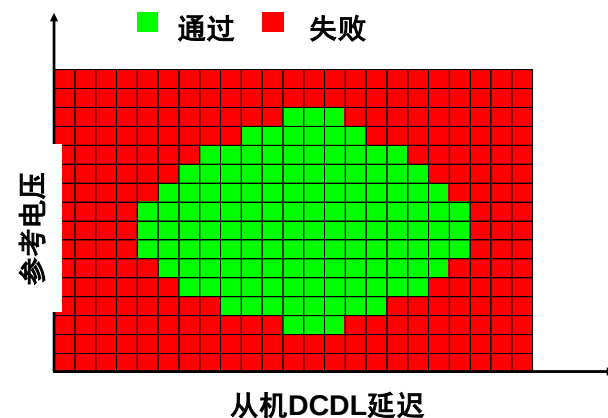
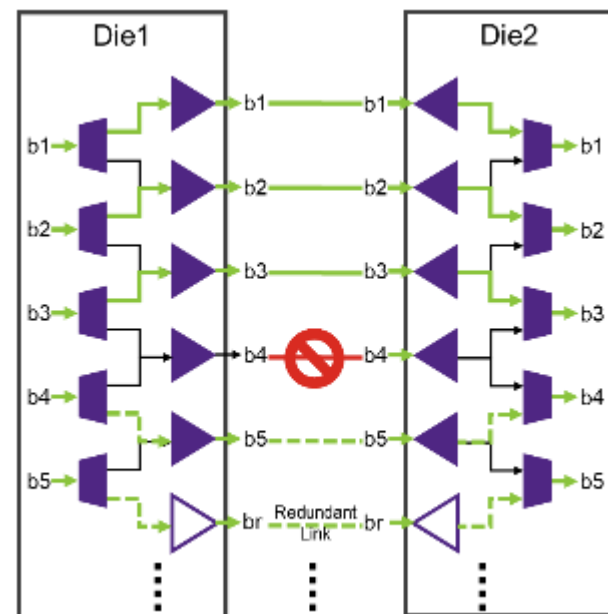
HBI PHY Channel of 80 TX + 80 RX



DesignWare HBI PHY可测试性和良率最大化功能

对于Interposer上具有1000个信道的KGD和消除了风险的并行链接

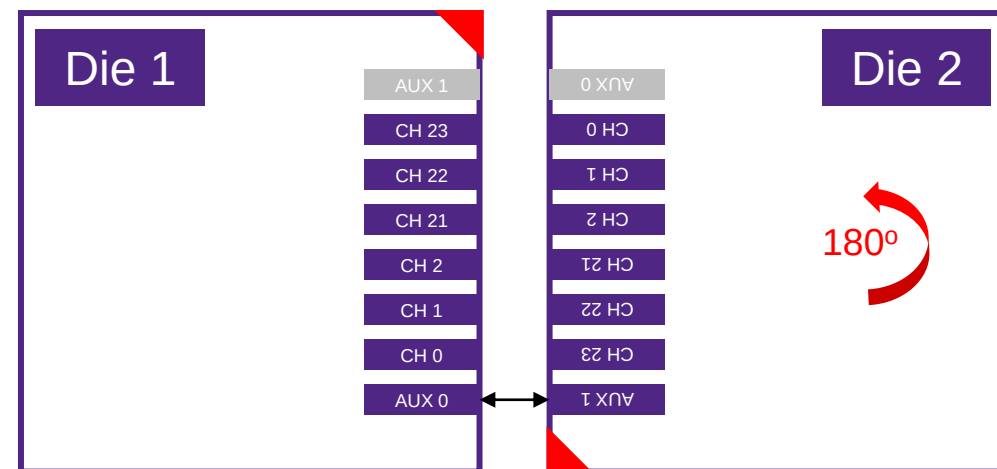
- 链路测试和修复能力
 - 基于冗余信道（每通道两个）
- 嵌入式初始化和校准固件(FSM)
 - 校准握手
 - I/O驱动强度校准
 - TX占空比校正
 - 基于RX DLL的相位对齐
- 内置自测（BIST）用于全速生产测试
 - 内部环回测试（驱动器前/后）
 - 驱动器前环回仅限于数字VDD域
 - 驱动器后环回扩展到I/O VDDTX/VDDRX域
 - 外部PHY到PHY链路测试可用于HBI+ ↔ HBI+连接
 - DLL BIST、边界扫描、多路复用扫描ATPG和片上OCC
- 内部眼监控器



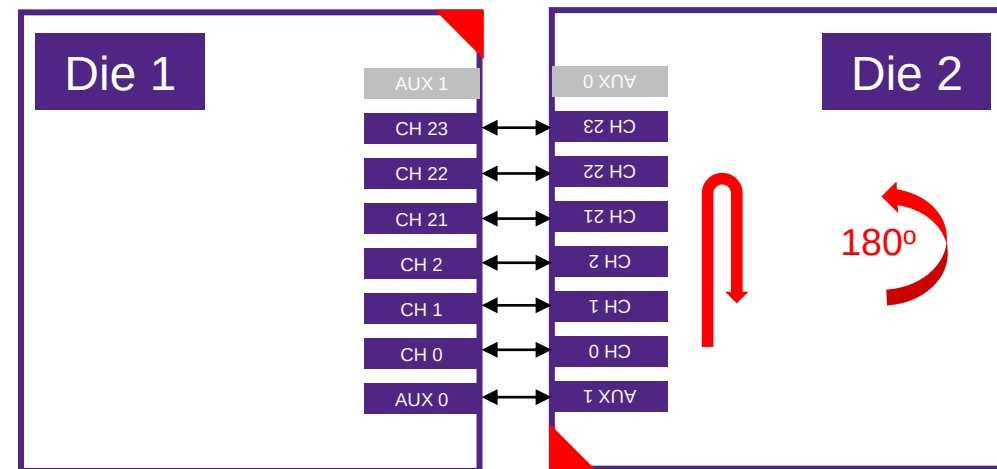
内置的灵活性功能可优化并行链路

每列有两个AUX通道，可在东或西边灵活使用同一PHY

- 与ASIC或小芯片（Chiplet）同步运行
 - ASIC转发或小芯片接收域发送时钟操作
 - 用于相位补偿FIFO的RTL wrapper
- 每列2个AUX通道可将相同的GDS用于东、西边上的PHY
 - 要交替打开/关闭
 - 可选择使用eFuse进行硬编码或用JTAG中的1位编程
- 支持用于通道重新排序的信道重新对齐
 - 用于SOC分区的旋转ASIC /小芯片连接



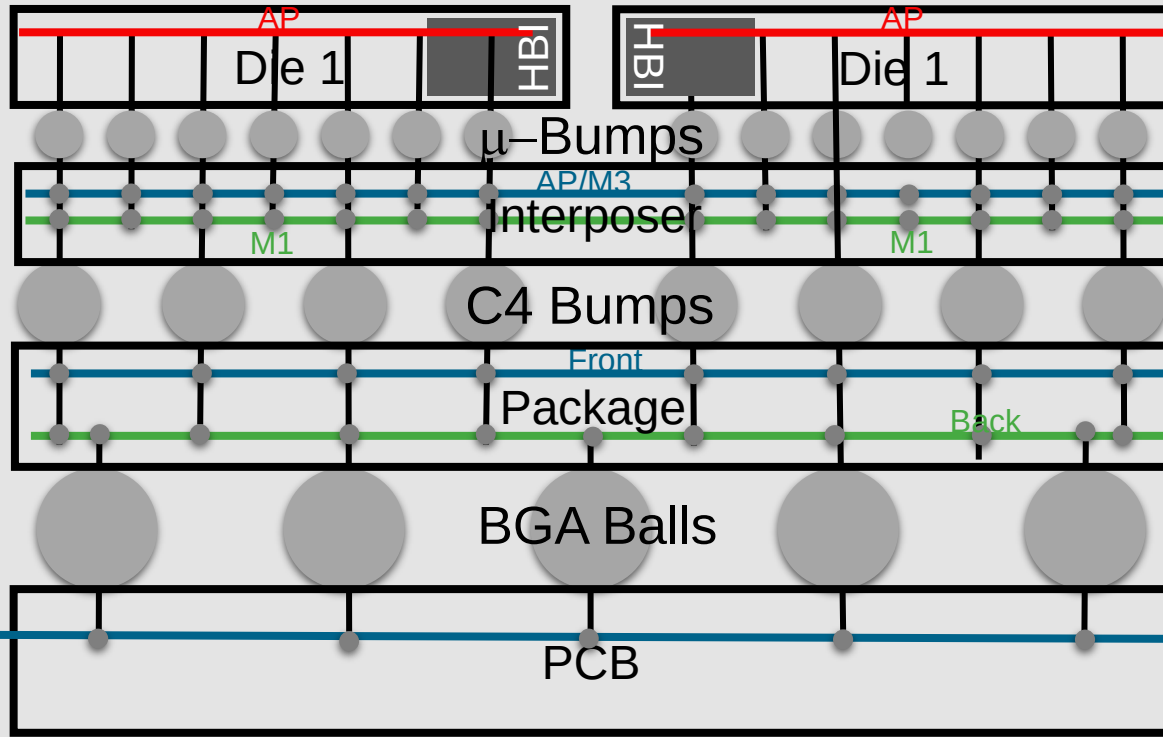
2 alternative AUX channels



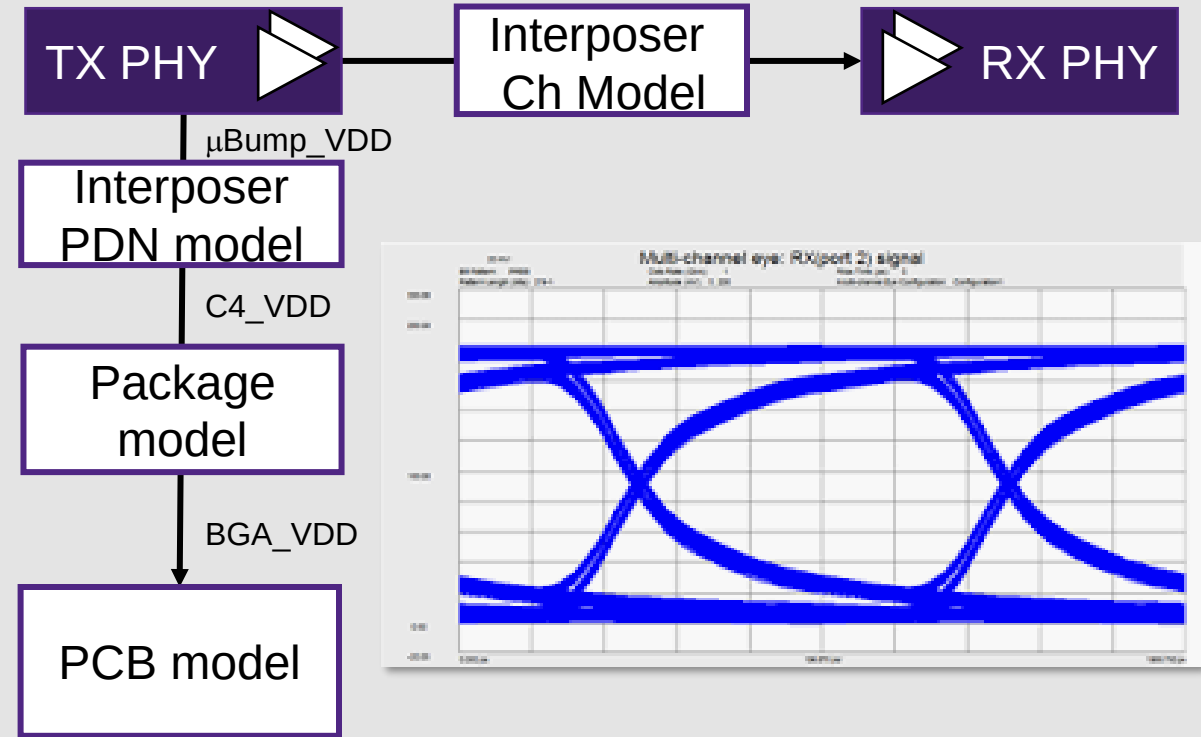
Lane re-ordering

多裸片连接的设计和验证流程

链路性能测试台需要裸片间链路+配电网络



Power distribution through package & interposer includes driver supply drop, SSO noise etc.



Based on extracted models for package, interposer, power distribution network & PHY circuits

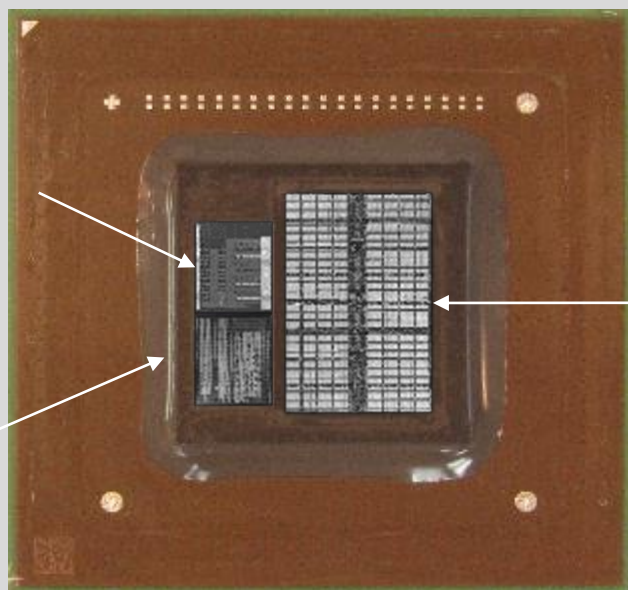
Synopsys的插入器功力

借力其进行HBI验证及支持客户插入器集成

- Synopsys已针对HBM和HBI产品设计了基于CoWoS Interposer 封装技术的多种测试芯片
- 对于HBI和HBM产品，在CoWoS和其它（非台积电）Interposer 以及InFO封装方面具有丰富经验

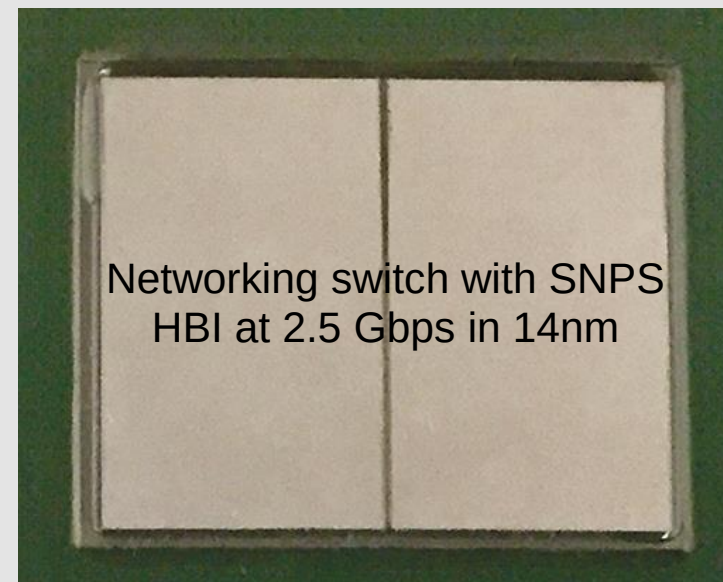
Synopsys HBM2
测试芯片

Dummy HBM2
(CoWoS)



HBM2
SDRAM

Networking switch with SNPS
HBI at 2.5 Gbps in 14nm



下一代并行接口

HBI/AIB+ → OpenHBI 规范

- 面积和密度
 - 将每信道的数据速率从4Gbps提升至→~6.4Gbps； 提高每beachfront的带宽
 - 赋能更小的Bump间距以获得更高密度
- 功耗
 - 降低电压和输出摆幅，以实现<0.5pJ /位的功耗
- 未来的保障
 - 向后兼容HBI/HBI +、并满足OpenHBI，以实现最大灵活性
 - 支持插入器/扇出/桥接封装技术

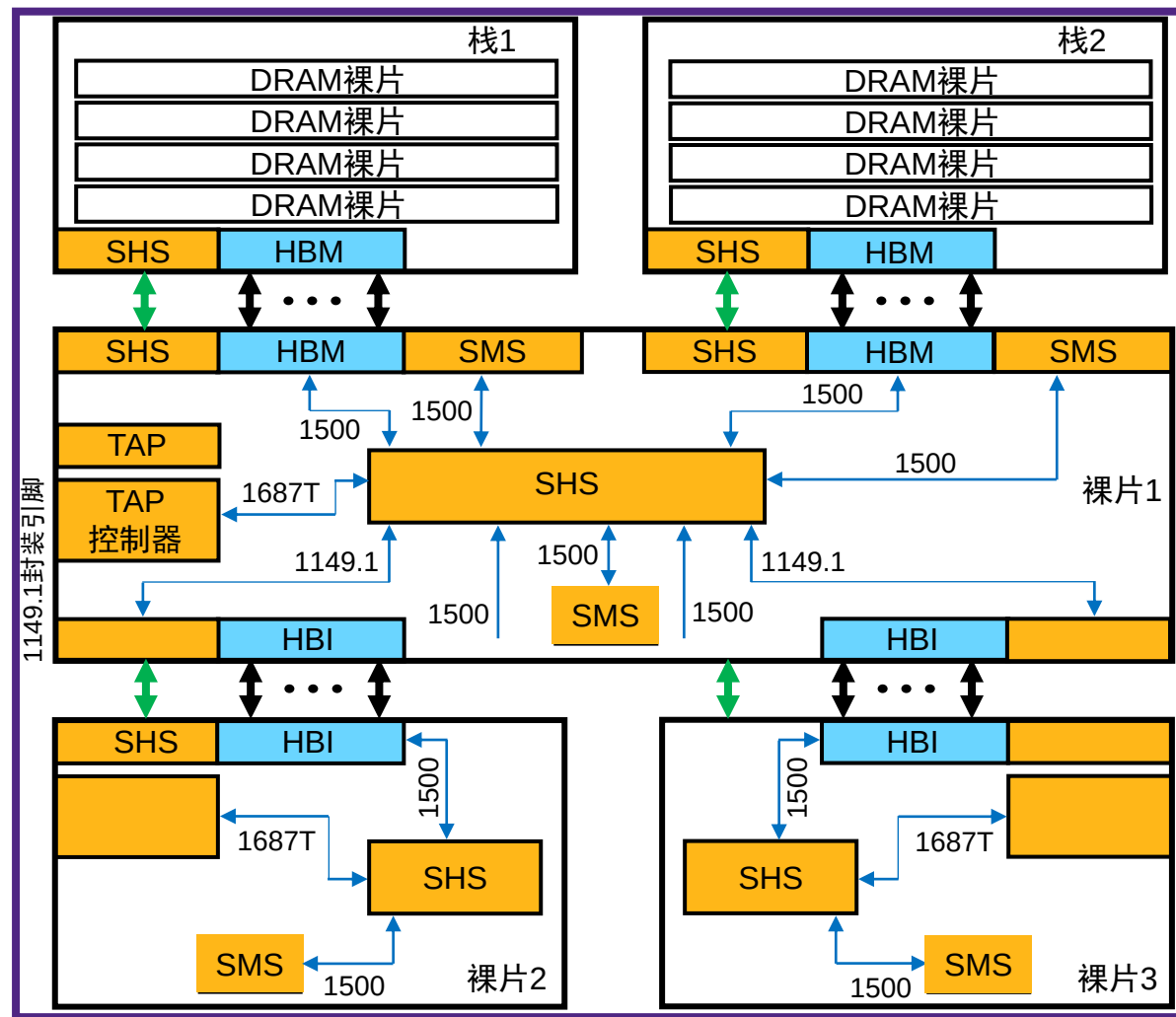
生态系统



多裸片测试管理系统

在Interposer上的HBI和HBM具有SMS/SHS 3D功能

- 用于裸片和模块级缺陷覆盖的端到端测试方案
- 管理裸片到裸片和裸片内的分层测试、诊断和修复
- 用于单个PHY（内部环回）和PHY与PHY间（外部互连）测试的BIST
- 符合测试接入标准：IEEE 标准 1838（3DIC）、1149.1、1500和1687
- 利用DRAM和裸片间冗余信道来优化良率并进行维修



Synopsys推出3DIC编译器，这是业界首款用于在一个封装内实现多裸片系统设计和集成的统一平台

2.5D/3D封装设计的独特自动化和可视化交付，具有功耗、热和噪声感知优化

Synopsys Introduces 3DIC Compiler, Industry's First Unified Platform to Accelerate Multi-die System Design and Integration

Unique platform delivers automation and visualization for 2.5D/3D package design and implementation, with power, thermal, and noise-aware optimization



MOUNTAIN VIEW, Calif., April 28, 2020 /PRNewswire/ --

Highlights:

- Built on Synopsys' Fusion Design Platform, world-class engines and data model, 3DIC Compiler offers a consolidated end-to-end solution with a full array of capabilities for advanced multi-die system design – all under a single user environment
- Offers powerful 3D viewing capabilities which provide an intuitive environment for 2.5D/3D package visualization and significantly reduces design to analysis iterations and minimizes the overall integration time
- Provides tight integration with Ansys' silicon-package-PCB technology for system-level signal, power, and thermal analysis

Synopsys, Inc. (Nasdaq: SNPS) today introduced its 3DIC Compiler platform to transform the design and integration of complex 2.5 and 3D multi-die system in a package. It provides an unprecedented fully integrated, high-performance, and easy-to-use environment, offering architectural exploration, design, implementation, and signoff with signal, power, and thermal integrity optimizations, all in one solution. With 3DIC Compiler, IC design and packaging teams are enabled to achieve unparalleled levels of multi-

- 第一个实现跨学科协同设计和协同优化的统一平台
- 集成的DRC感知环境
- 功耗/信号/热噪声感知设计优化（裸片到PCB）
- 具有360° 3D视图的用户友好可视化
- 通用GUI接口，具有自动化功能
- 建立在通用数据模型上，可实现功能和性能扩展

DesignWare裸片到裸片IP方案，用于不断发展的生态系统

满足不断增长的新用例和新需求

- 与生态系统伙伴合作——晶圆厂、包装和测试设备供应商及标准机构
- 覆盖所有封装技术——同时拥有串行和并行PHY使得对有机衬底，Interposer和InFO的支持成为可能
- 与3D IC编译器、IEEE 1838测试和准则紧密结合，用于基板、机械、热学、SIPI等设计。
- 在关键的裸片到裸片指标中表现出色：功耗（pJ /位）、BER/距离、bandwidth/beachfront、延迟、可移植性等。
- 与已知良好的裸片和MCM生产测试区分开

生态系统
测试设备、互连等。

服务
基板设计、机械设计、SI-PI

控制器

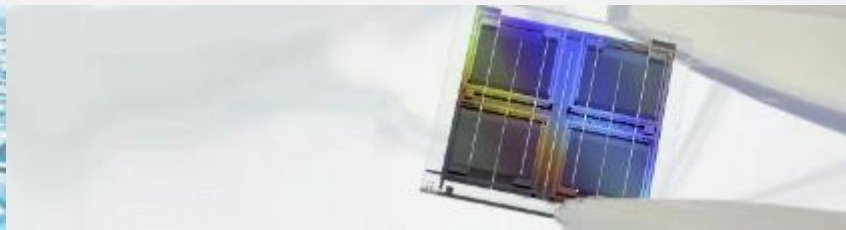
测试和诊断- IEEE 1838

PHY

封装— InFO、CoWoS等。
信号完整性和集成准则

Synopsys : 112G以太网和裸片到裸片IP的可信赖合作伙伴

- 唯一一家提供高达800G高性能计算SoC的全面IP方案供应商：DDR5、HBM、PCIe 5.0、56G /112G以太网、裸片到裸片、CXL、CCIX
- 领先的数据中心公司已采用
- 提供从16nm到7nm FinFET的先进工艺技术，5nm工艺在设计中
- 可用的112G以太网PHY，可通过背板、铜缆和光链路实现长距离连接
- 成功完成了40dB +背板和5米铜缆环境下的测试
- 可用的112G USR/XSR PHY，用于有机基板和InFO上的裸片到裸片连接
- 可用的HBI/AIB PHY，用于通过插入器实现裸片到裸片连接
- 全面支持将IP轻松集成到SoC中



Thank You

